

Saptamina 1	Documentare HW si SW, simulari ale SW de baza
Saptamina 2	Documentare HW si SW, simulari ale SW de baza
Saptamina 3	Documentare HW si SW, simulari ale SW de baza
Saptamina 4	Documentare HW si SW, simulari ale SW de baza
Saptamina 5	Test Etapa 1
Saptamina 6	Test Etapa 1
Saptamina 7	Detaliere HW si SW, integrare SW
Saptamina 8	
Saptamina 9	Detaliere HW si SW, integrare SW
Saptamina 10	Detaliere HW si SW, integrare SW
Saptamina 11	Test Etapa 2
Saptamina 12	Test Etapa 2
Saptamina 13	Test Etapa 3
Saptamina 14	Finalizare note

ETAPA 1

1. Descrierea prelucrarilor (graf, organigrama)
2. Shema bloc, schemele electrice pentru placile de evaluare
3. Proiectarea de principiu a schemei ce completeaza placa de evaluare
4. Rezultate ale simularii variantei de baza a codului pe Visual DSP++, pe STM32CubeIDE

ETAPA 2

5. Detalierea organigramele programului
6. Listing-urile programului in limbaj de asamblare sau limbaj C
7. Detalieri ale schemelor electrice (CODEC, intreruperi, porturi seriale, elementele nou adaugate)
8. Detalieri ale programelor (mod de organizare, structuri de date utilizate)
9. Rezultate ale simularii variantei finale a codului pe Visual DSP++ sau pe STM32CubeIDE

ETAPA 3

10. Demonstratie practica a functionarii a sistemului realizat si analiza performantelor

S1	23.02 - 27.02	
S2	02.03 - 06.03	
S3	09.03 - 13.03	
S4	16.03 - 20.03	
S5	23.03 - 27.03	Test E1
S6	30.03 - 03.04	Test E1
S7	06.04 - 10.04	
S8	13.04 - 17.04	Paste
S9	20.04 - 24.04	
S10	27.04 - 01.05	
S11	04.05 - 08.05	Test E2
S12	11.05 - 15.05	Test E2
S13	18.05 - 22.05	Test E3
S14	25.05 - 29.05	