

TEMA P2 - 2026

Sa se realizeze un sistem cu arhitectura din figura 1 cu următoarele specificații:

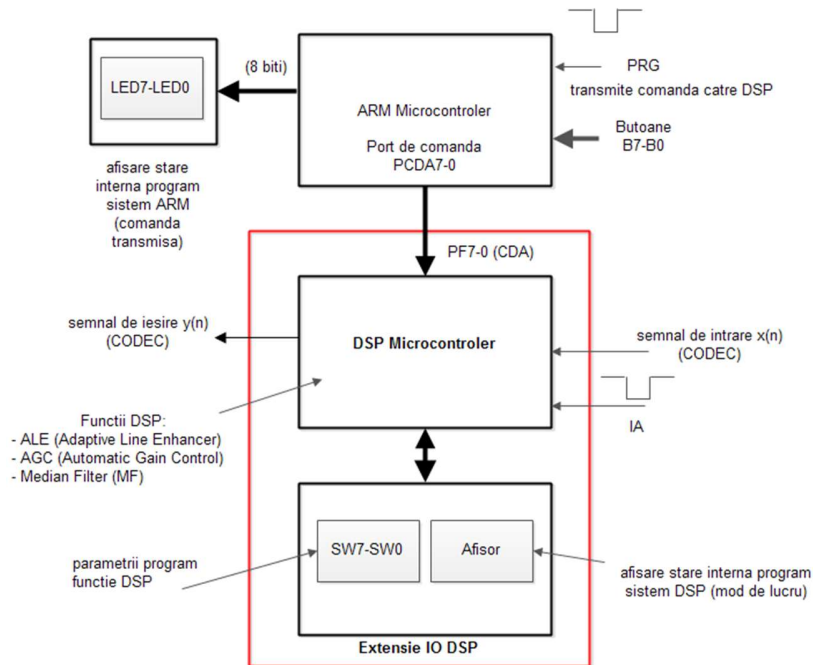
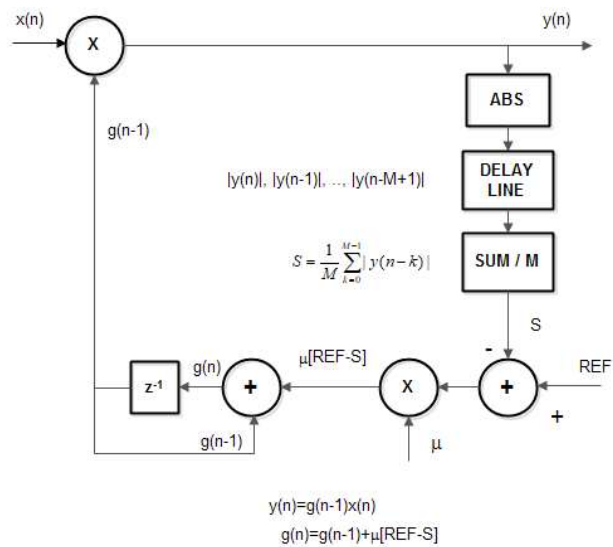


Figura 1. Arhitectura sistemului

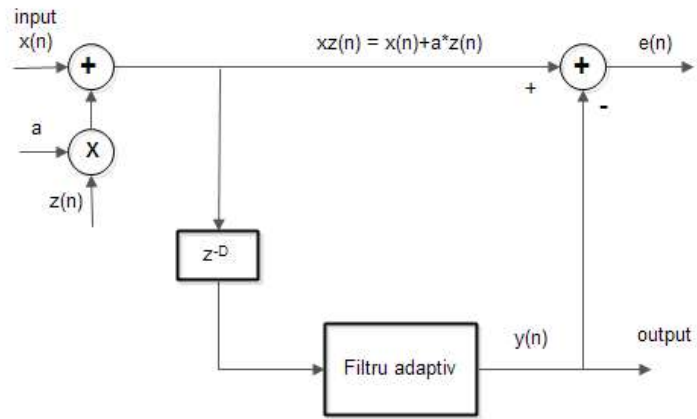
Sistemul este compus din doua subsisteme (ARM si DSP) si implementează 3 funcții de prelucrare de semnal descrise in figura 2:

Automatic Gain Control (AGC)



Parametrii: REF, M, μ

Adaptive Line Enhancer (ALE)

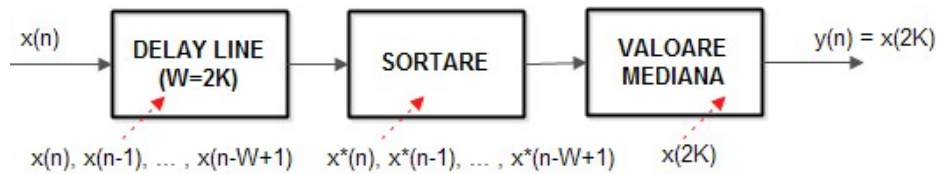


$$y(n) = \sum_{k=0}^{N-1} h(k) \cdot xz(n-k-D)$$

$$h(k) = (1 - \mu \cdot \lambda) h(k) + \mu xz(n-k-D) \cdot e(n) \quad k = 0, 1, \dots, N-1$$

Parametrii: k, a, μ, λ

Median Filter (MF)



Parametru: K

Figura 2. Funcțiile de prelucrare de semnal

Ambele subsisteme își afișează starea proprie (pe LED7-LED0, respectiv pe un afișor cu 7 segmente – Afișor).

Descrierile programelor pe cele 2 microcontrolere sunt ilustrate în figurile 3 și 4.

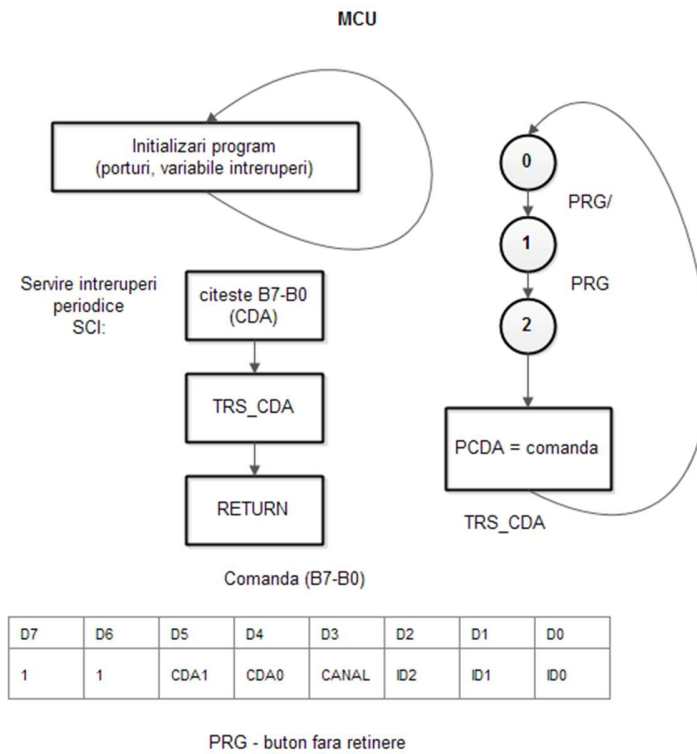


Figura 3. Funcțiile implementate pe MCU

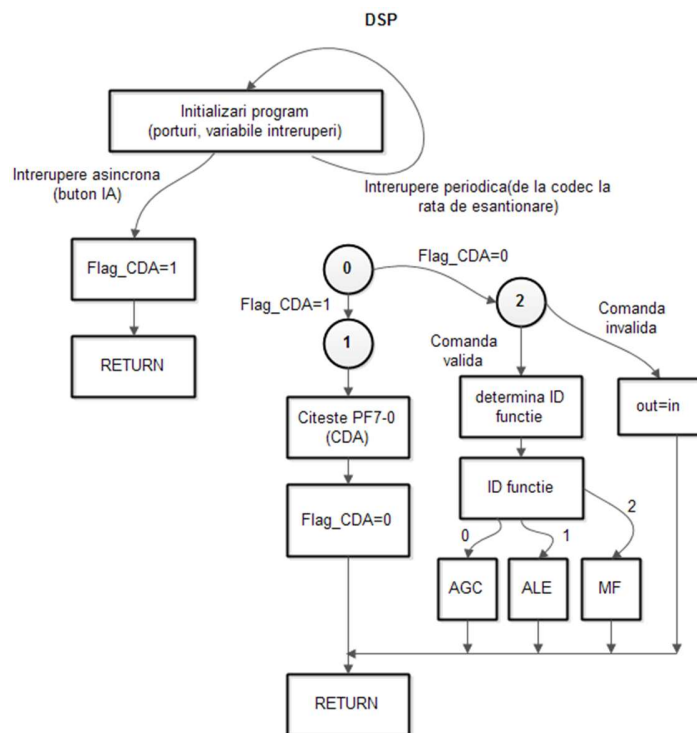


Figura 4. Funcțiile implementate pe DSP

Subsistemul ARM utilizează un microcontroler STM32F103. Subsistemul DSP are în componența placa de evaluare EZ-Kit LITE ADSP2181 și o interfața de intrare ieșire (IO DSP).

Se vor realiza:

La nivel hardware: Subsistemul ARM (cu microcontroler STM32F103) și extensia IO DSP

La nivel software:

1. Descrierea formală a programelor pentru subsistemele ARM și DSP
2. Scrierea codului pentru cele 2 subsisteme (în limbaj C pentru ARM și în limbaj de asamblare ADSP2181 pentru subsistemul DSP)
3. Testarea programelor în STM32IceCube, respectiv în Visual DSP++ 3.5

În final se va verifica funcționalitatea sistemului fizic realizat.

Se va lucra în echipe de 4 studenți (2 pentru AVR și 2 pentru DSP) cu împărțirea sarcinilor de proiectare specifice ARM și DSP. Susținerea este individuală, în toate fazele proiectului.