

Conectarea memoriei principale la microprocesorul Intel 8086

Scopul lucrării

- a) Decodificarea adreselor memoriei principale la microprocesorul Intel 8086.
- b) Selectia circuitelor de memorie la microprocesorul Intel 8086.
- c) Conectarea memoriei principale la microprocesorul Intel 8086.

1. Interfatarea microprocesorului Intel 8086 cu bus-urile in mod minim

1.1. Interfata microprocesorului Intel 8086 cu bus-urile

UCP contine alaturi de microprocesorul Intel 8086, elemente de interfata cu bus-urile, generatoare de ceas ("CLK"), de stari "WAIT" si de "RESET". Schema tipica de realizare a unei astfel de UCP cu microprocesorul Intel 8086 (in mod minim) este prezentata in figura 1.

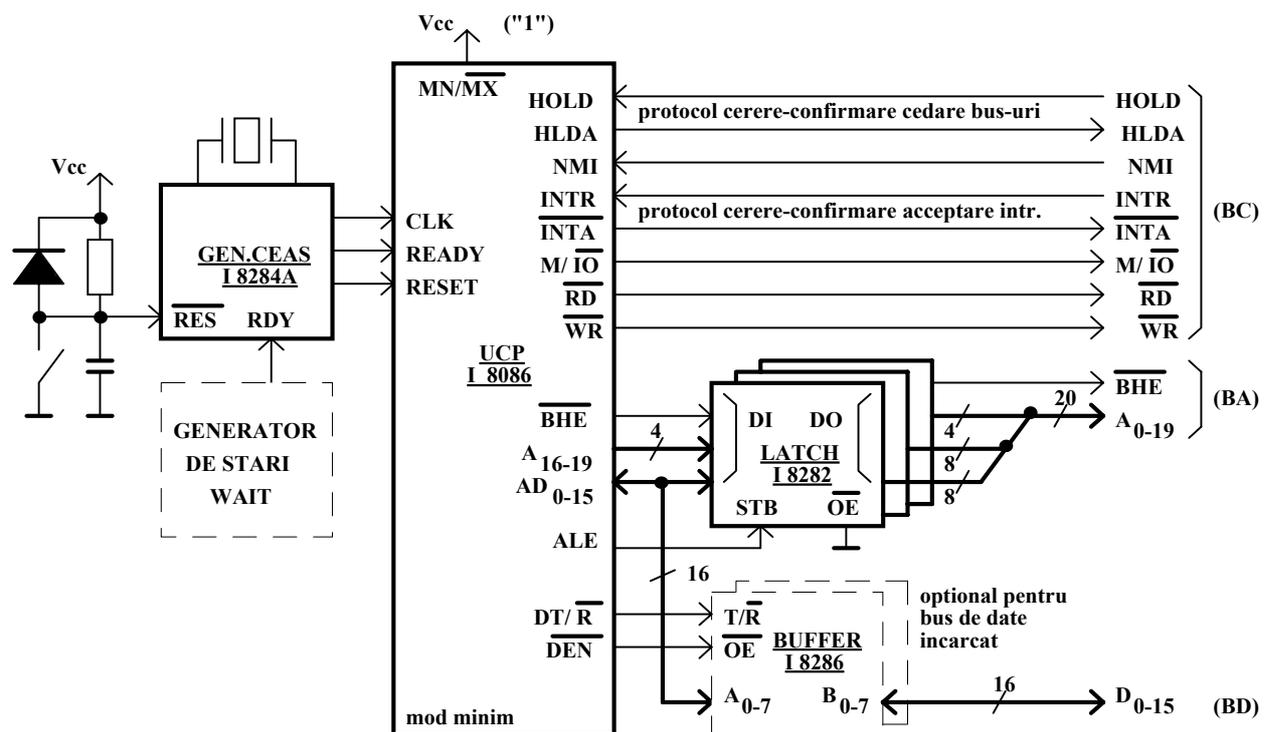


Fig. 1. Interfata microprocesorul Intel 8086 cu bus-urile in mod minim

Se observa ca in cazul unui numar mare de circuite conectate pe BD (D_{0-15}) este necesara folosirea unor *buffere pentru date* (separatoare de magistrala). Transferul prin buffer este validat de semnalul \overline{DEN} iar sensul transferului este selectat prin semnalul $\overline{DT}/\overline{R}$.

ARHITECTURA MICROPROCESOARELOR LUCRAREA DE LABORATOR NR. 6

Semnificatiile pinilor in mod minim sunt urmatoarele:

AD ₀₋₁₅	- adrese in T ₁ /date in T ₂ , T ₃ , T _W , T ₄ multiplexate in timp (BA+BD - I/O); A ₀ este analog BHE\, validind bus-ul inferior ("Low") de date D ₀₋₇ - BDI (O); trec in impedanta inalta (Z) in ciclurile "INTA" sau la cedarea bus-urilor
A ₁₆₋₁₉ / S ₃₋₆	- adrese (BA - O) / semnale de stare a UCP in T ₂₋₄ (BC - O); S ₆ = "0" indica ocuparea bus-urilor de catre UCP S ₅ = IF = starea flag-ului de intrerupere ("0" = inhibata, "1" = validata) S ₄ S ₃ - indica registrul segment curent utilizat pentru adresare: "0" "0" "Alternate Data" "0" "1" "Stack" "1" "0" "Code or None" "1" "1" "Data"
BHE\ / S ₇	- comanda validare bus superior ("High") de date D ₈₋₁₅ - BDH (O) / semnal de stare a UCP in T ₂₋₄ (BC - I); BHE\ A ₀ Transfer "0" "0" D ₀₋₁₅ "0" "1" D ₈₋₁₅ "1" "0" D ₀₋₇ "1" "1" inhibat
ALE	- comanda de memorare a liniilor de adresa A ₀₋₁₅ ("latch"-uire pentru
RD\	- comanda de citire de pe BD ("0" = citire din memorie/porturi - O);
WR\	- comanda de scriere pe BD ("0" = scriere in memorie/porturi - O);
M/IO\	- comanda de selectie memorie/porturi ("0" = porturi; "1" = memorie - O);
DT / R\	- comanda sensului transferului datelor ("0" = receptie; "1" = transmisie - O);
DEN\	- comanda de validare date ("0" = validare - O);
NMI	- comanda intrerupere nemascabila ("1" = intrerupere - I);
INTR	- comanda (cerere) intrerupere mascabila ("1" = cerere intrerupere - I);
INTA\	- comanda (confirmare) acceptare intrerupere mascabila (semnal "RD" pentru intrerupator in ciclurile de intrerupere "INTA 1,2" - O);
HOLD	- comanda (cerere) de cedare a busurilor catre alta UC "master" (I);
HLDA	- comanda (confirmare) a acceptarii cedarii bus-urilor catre UC "master" (O);
CLK	- semnal de tact (ceas) necesar operatiilor interne secventiale (I);
READY	- comanda (semnalarea) starii "gata" de transfer a memoriei (incheierea starii de asteptare T _W ("WAIT") - I);
RESET	- comanda de resetare a circuitului.
MN / MX\	- comanda modului ("1" = mod minim - I);

1.2. Ciclurile masina de bus la sisteme cu microprocesor Intel 8086

Un ciclu masina de bus pentru UCP I8086 se compune din minimum 4 perioade de ceas, notate T_i, cu i = 1 .. 4 si perioade suplimentare (de asteptare - WAIT) notate T_W in cazul in care logica externa de generare a semnalului READY (gata) il tine pe acesta in "0" in perioada T₂. Acest mecanism este necesar pentru sincronizarea UCP cu memoriile sau perifericele (porturile) mai lente.

ARHITECTURA MICROPROCESOARELOR

LUCRAREA DE LABORATOR NR. 6

Figurile 2 si 3 prezinta formele de unda ale semnalelor care participa la realizarea ciclurilor de citire (RD) si de scriere (WR) a datelor/ instructiunilor sau de citire a vectorului de intrerupere (INTA).

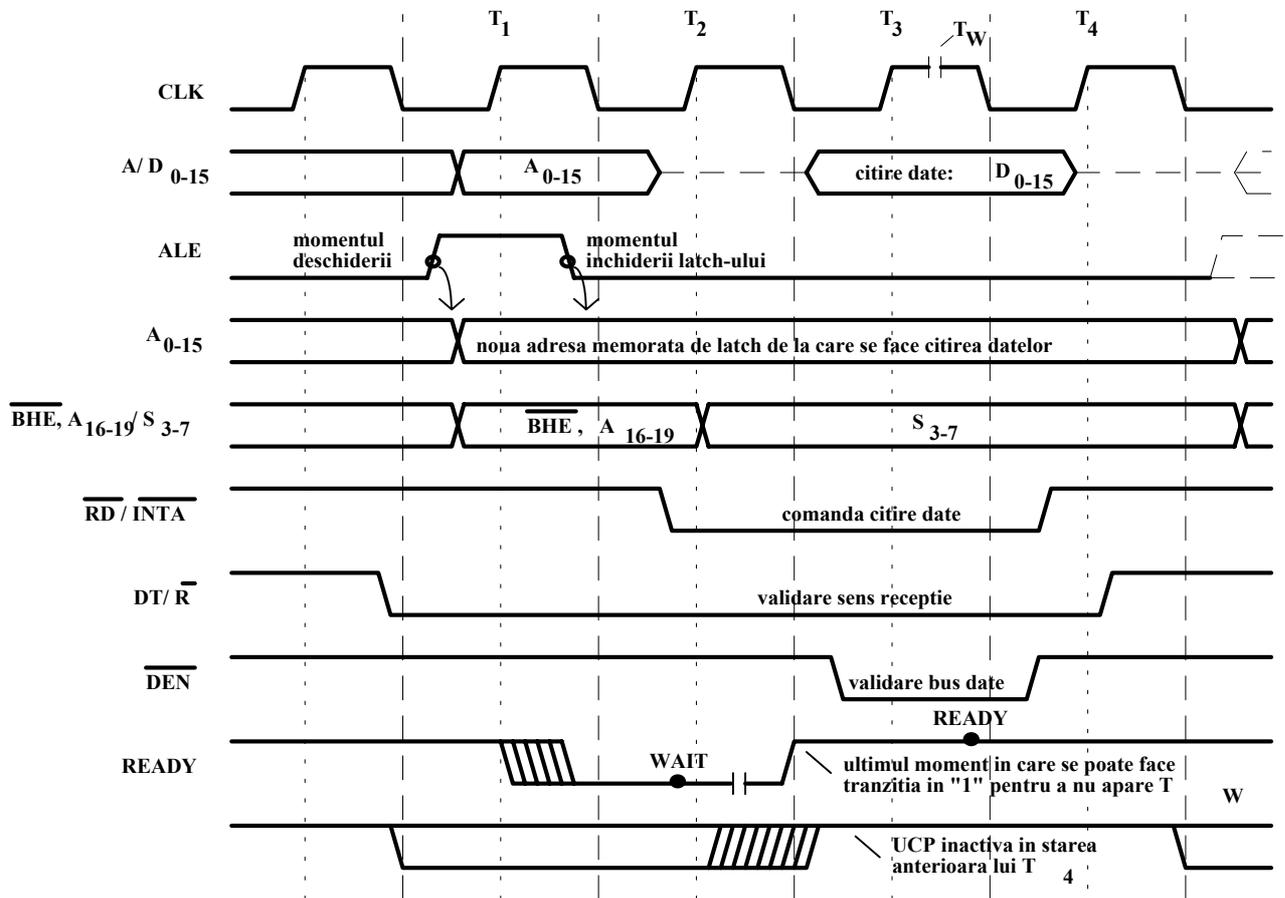


Fig. 2. Ciclurile de citire de pe bus (RD si INTA)

ARHITECTURA MICROPROCESOARELOR
LUCRAREA DE LABORATOR NR. 6

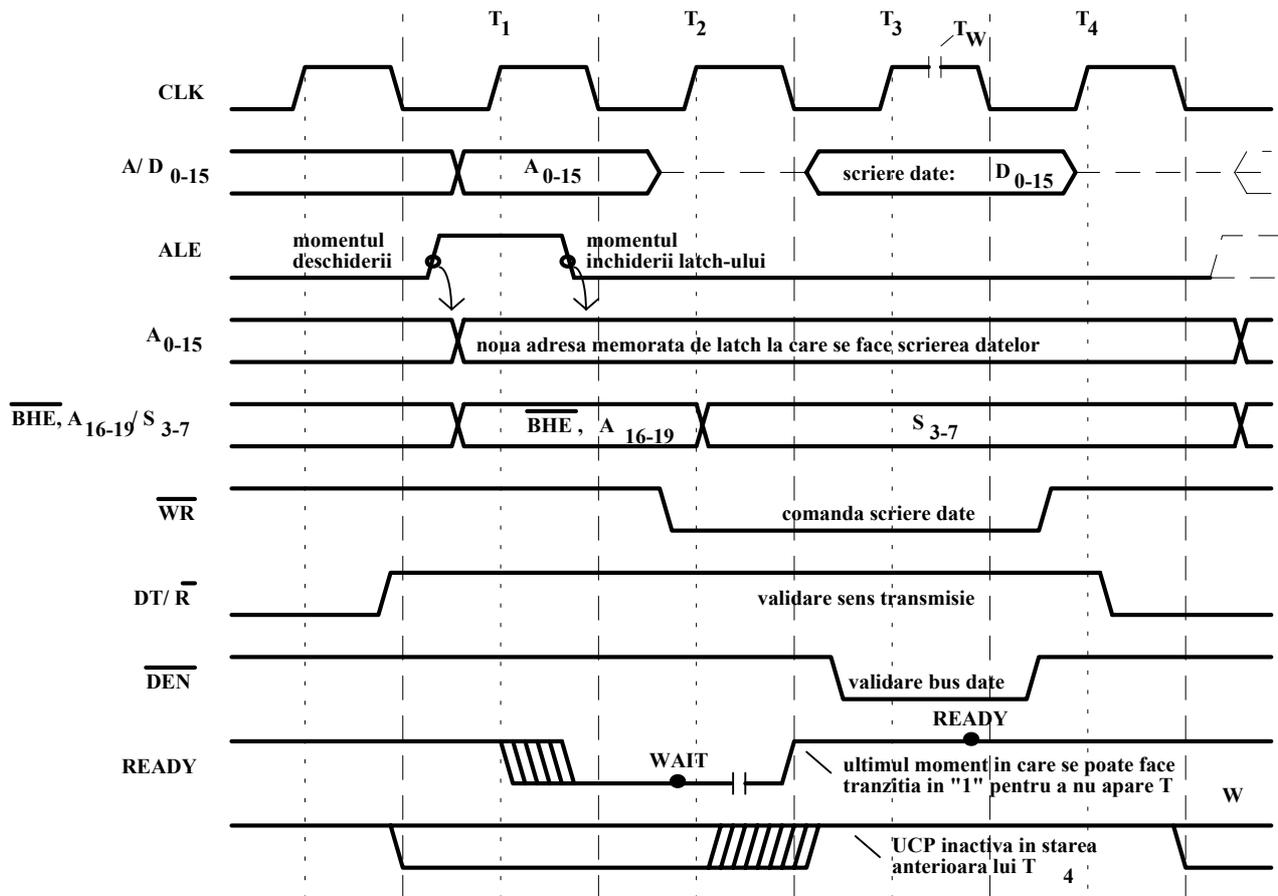


Fig. 3. Ciclul de scriere pe bus (WR)

In perioada T₁ microprocesorul lanseaza pe liniile A₀₋₁₉ adresa fizica a locatiei pe care vrea sa o acceseze. Datorita multiplexarii in timp realizata de UCP pe liniile A/D₀₋₁₅ este necesara separarea adreselor de date (demultiplexarea) prin memorarea adreselor pe perioadele T₂₋₄ in latch-urile externe 74S373 la frontul negativ al semnalului ALE.

In perioada T₂ este lansat semnalul de accesare: \overline{RD} (scriere) sau \overline{WR} (citire) care valideaza transferul datelor prin intermediul liniilor A/D₀₋₁₅ (pe post de D₀₋₁₅) in perioadele T₃₋₄.

In perioadele in care coada interna de stocare a instructiunilor (Q) este plina iar unitatea interna de executie (EU) nu solicita transferuri pe bus apar cicluri inactive (Idle State) notate T_I.

Pe durata ciclurilor inactive, pe A₀₋₁₉ se genereaza starea din ciclul anterior iar pe A/D₀₋₁₅ se genereaza data anterioara (daca ciclul anterior a fost "WR") sau este in impedanta mare (daca ciclul anterior a fost "RD").

1. Decodificarea adreselor memoriei principale si selectia circuitelor de memorie la microprocesorul Intel 8086

Memoria principala in sistemele cu microprocesor (UCP) este realizata cu elemente semiconductoare (ROM, RAM), conectarea acestora facindu-se prin intermediul bus-urilor de adrese (BA), de comenzi (BC) si de date (BD).

ARHITECTURA MICROPROCESOARELOR LUCRAREA DE LABORATOR NR. 6

Largimea in numar de biti a BA determina *capacitatea maxima* a memoriei direct adresabile de catre UCP. *Multimea adreselor posibile* este $0 \dots 2^n-1$, daca pe BA exista n linii de adresa $A_0 \dots A_{n-1}$. Aceasta multime (A) se numeste *spatiul adreselor*. *Multimea locatiilor fizice* in care sunt memorate date de b biti (in general $b=8$) va fi numita *spatiul memoriei* (M).

In sistemele simple, adresele generate de UCP pe BA coincid cu adresele la intrarea memoriei fizice, dimensiunea acestora din urma fiind in general mai mica decit dimensiunea spatiului adreselor. Se poate spune ca operatia de adresare alocata unei adrese din A un element din M prin functia de translatare: $f_T: A \rightarrow M$, iar in cazul cel mai simplu f_T este functia identica.

In figura 1 este reprezentata memoria principala ca o multime de cuvinte cu $b=8$ biti (octeti), in care *cel mai putin semnificativ bit* (LSb) este D_0 , *cel mai semnificativ bit* (MSb) este D_7 , $M = A$ iar f_T este functia identica.

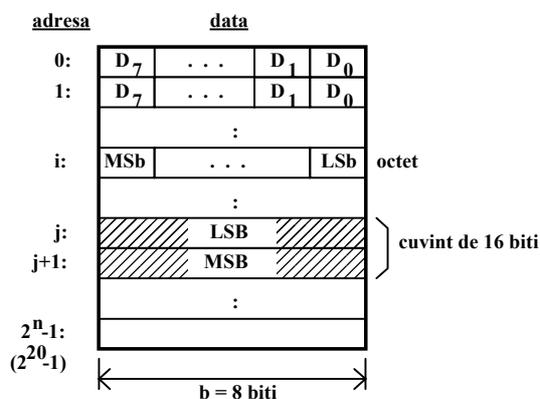


Fig.1 Harta memoriei principale la microprocesorul Intel 8086

Fiecare octet este identificat prin adresa sa a care apartine A.

In cazul in care se lucreaza cu *date reprezentate pe mai multi octeti* atunci se alocata in mod corespunzator in M mai multi octeti adiacenti conform unei conventii prestabilite. *Conventia Intel* este: *octetul cel mai putin semnificativ* (LSB) se plaseaza la adresa cea mai mica, iar *octetul cel mai semnificativ* (MSB) la adresa cea mai mare din intervalul de adrese ale zonei de cuvint multi-octet.

Microprocesorul Intel 8086 are $d = 16$ biti pe BD si $n = 20$ biti pe BA. Spatiul adreselor lui (A) contine 2^{20} elemente.

Organizarea memoriei ca o succesiune de *octeti* este utilizata si pentru microprocesoare cu $d = 16$ biti pe BD, din cauza ca octetul (byte-ul) reprezinta (si din considerente tehnologice) unitatea unanim acceptata de reprezentare a informatiei numerice.

In acest caz accesul la memorie trebuie sa permita un transfer flexibil (pe octeti sau pe cuvinte de 16 biti dupa caz). Metoda uzuala (folosita si in schema din figura 2) este separarea memoriei fizice in doua "*blocuri*" sau "*bancuri*" de memorie, organizate fiecare pe cite 8 biti, la *adrese pare*, respectiv *impare*. Bitii de adresa $A_{n-1} \dots A_1$ ($A_{19} \dots A_1$) selecteaza perechi de octeti.

Activarea *bancului superior* (HIGH) si / sau a *bancului inferior* (LOW) se face cu ajutorul a doua semnale, unul special generat de catre BC ($BHE = Bus High Enable$) si respectiv cel mai putin semnificativ bit (LSb) al BA (A_0). Plasarea bancului "HIGH" la adrese pare sau impare

ARHITECTURA MICROPROCESOARELOR

LUCRAREA DE LABORATOR NR. 6

depinde de conventia utilizata pentru microprocesorul respectiv, la Intel 8086 corespunzind adreselor impare (pentru care $A_0="1"$).

In figura 2 este reprezentata divizarea memoriei in cele doua blocuri (HIGH si LOW).

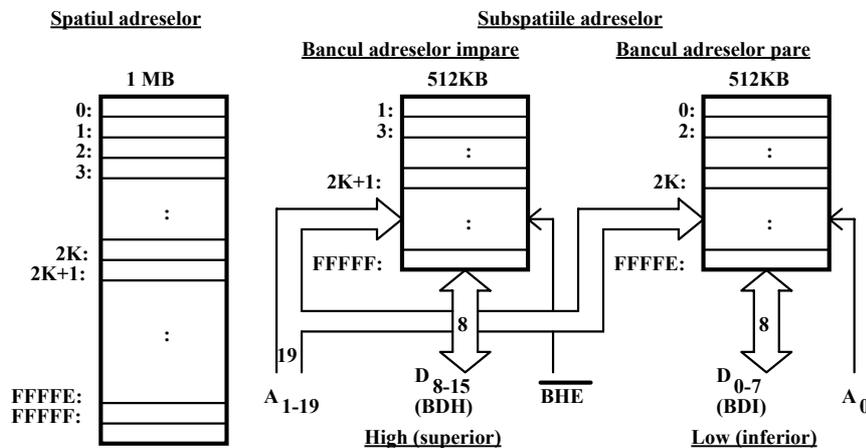


Fig.2 Impartirea memoriei principale in blocuri de adrese pare si impare

Blocurile se reflecta pe BD prin impartirea sa in BDH (HIGH) si BDI (LOW).

Linia de adresa A_0 si semnalul BHE\ comanda tipul transferului efectuat.

Rezulta urmatoarele tipuri de transferuri (in care X este o adresa para iar (X) este continutul octetului de la adresa X):

- octet de la adresa para ($BHE="1", A_0="0"$),
- octet de la adresa impara ($BHE="0", A_0="1"$),
- cuvint de la adresa impara (mai intai primul octet cu $BHE="0", A_0="1"$, apoi si al doilea octet cu $BHE="1", A_0="0"$),
- cuvint de la adresa para ($BHE="0", A_0="0"$).

2. Exemplu de conectare a memoriei principale la microprocesorul Intel 8086

Conectarea memoriei principale la bus-urile UCP este exemplificata pentru cazul unui sistem cu microprocesorul Intel 8086 avand o "harta" (map) a memoriei principale ca in figura 3.

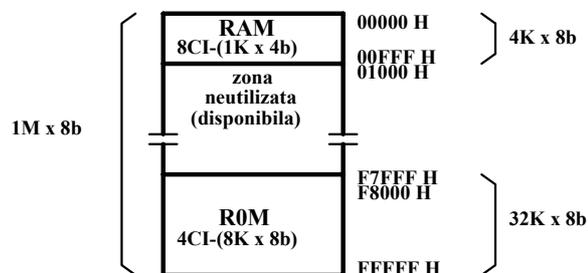


Fig.3 Exemplu de alocare a zonelor ROM si RAM ale memoriei principale

Schema electrica de principiu corespunzatoare este data in figura 4.

ARHITECTURA MICROPROCESOARELOR

LUCRAREA DE LABORATOR NR. 6

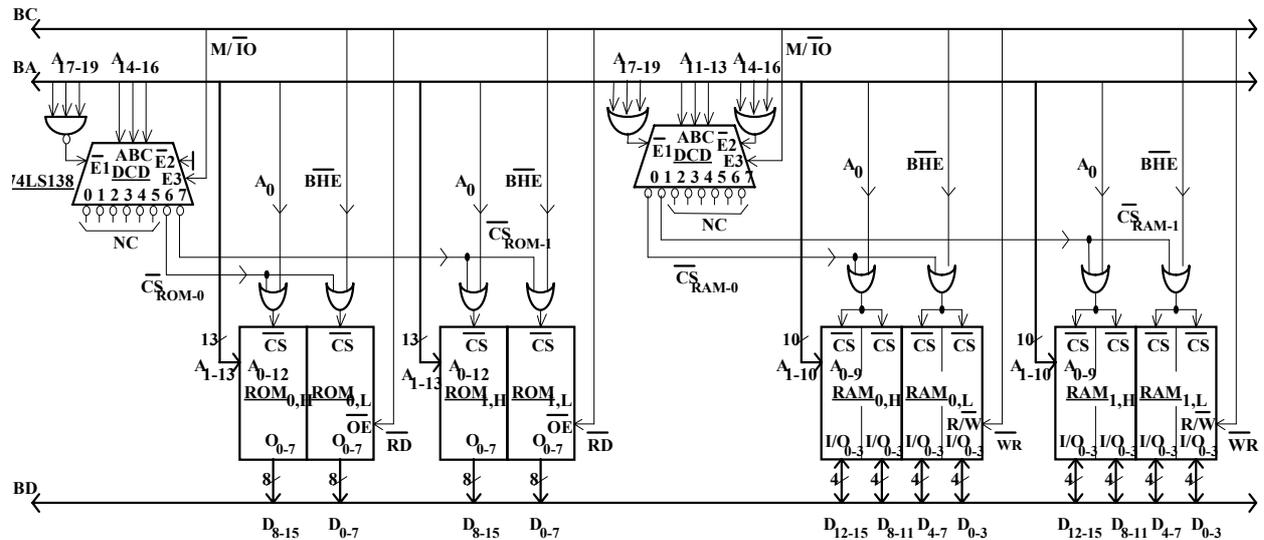


Fig.4 Exemplu de conectare a memoriei principale la microprocesorul Intel 8086

In exemplul considerat:

- Memoria ROM are capacitate de 32Kx8b si este realizata cu 4 capsule de circuit integrat (CI) avind fiecare capacitate de memorare de 8Kx8b.
- Memoria RAM are capacitate de 4Kx8b si este realizata cu opt CI avind fiecare capacitate de memorare de 1Kx4b. De aceea CI de RAM sint imperecheate 2 cite 2 pentru a forma "grupuri" de 1Kx8b.

Iesirile ROM si RAM se leaga in paralel la BD, ceea ce impune activarea la un moment dat a unui singur circuit pe fiecare linie a BD, cu ajutorul semnalelor de selectie a circuitelor: CS_{ROM-0} , CS_{ROM-1} , CS_{RAM-0} , CS_{RAM-1} (active in "0"). Acestea, impreuna cu semnalele de selectie a blocurilor (BHE si A_0 - active tot in "0") constituie intrarile unor porti logice OR ("sau logic").

Iesirile acestor porti valideaza transferurile daca sunt plasate pe intrarile CS (Chip Select) de selectie a fiecarui CI de memorie. Ambele CI ale unui grup RAM sint validate de catre un semnal provenit de la acelasi circuit OR.

Datorita functiei de decodificare a circuitelor DCD pentru ROM si respectiv pentru RAM, numai o singura iesire este activa la un moment dat, ceea ce asigura activarea unei singure capsule (grup RAM) de memorie pe fiecare bloc al BD si inactivarea celorlalte. Circuitele inactivate prezinta impedanta mare la iesire.

Decodificatoarele (DCD) realizeaza functia de translatare $f_T : A \rightarrow M$, alocand adreselor logice A_{0-19} , locatii fizice din cele 12 circuite.

In exemplu s-a ales dimensiunea 2^{n_0} cu $n_0 = 13$ pentru ROM si dimensiunea 2^{n_a} cu $n_a = 10$ pentru RAM. Liniile de adresa mai putin semnificative incepind cu A_1 ($A_1 \dots A_{n_0}$, respectiv $A_1 \dots A_{n_a}$) sint conectate direct la ROM, respectiv la RAM (in exemplu: $A_1 \dots A_{13}$, respectiv $A_1 \dots A_{10}$).

La intrarile decodificatoarelor sint legate celelalte linii de adresa ($A_{n_0+1} \dots A_{n-1}$, respectiv $A_{n_a+1} \dots A_{n-1}$), care in exemplu sint: $A_{14} \dots A_{19}$, respectiv $A_{11} \dots A_{19}$.

ARHITECTURA MICROPROCESOARELOR LUCRAREA DE LABORATOR NR. 6

Dintre acestea cel mai puțin semnificative mo, respectiv ma vor fi necesare decodificatoarelor pentru a genera semnalele de selecție $CS_{ROM\ 0} \dots CS_{ROM\ (2^{m_o}-1)}$, respectiv $CS_{RAM\ 0} \dots CS_{RAM\ (2^{m_a}-1)}$. În exemplul considerat $m_o = m_a = 1$. Adică bitii de adresă A_{14} , respectiv A_{11} sunt utilizați în acest scop.

Restul liniilor de adresă ($A_{n_o+m_o+1} \dots A_{n-1}$, respectiv $A_{n_a+m_a+1} \dots A_{n-1}$) au valori fixe în cazul decodificării numite completa sau neprecizate în cazul decodificării incomplete. În exemplul s-a considerat o decodificare completă și deci $A_{15} \dots A_{19}$ pentru ROM, respectiv $A_{12} \dots A_{19}$ pentru RAM, au valori fixate ($A_{15} \dots A_{19} = "1"$ pentru ROM, respectiv $A_{12} \dots A_{19} = "0"$ pentru RAM).

Acest lucru se poate urmări și în tabelele de decodificare (tabelele 1 și 2) asociate schemei, indicat a fi construite în etapa de proiectare a unor astfel de scheme.

Tab.1 Tabelul de decodificare al memoriei ROM:

M/IO	$A_{19} \dots A_{15}$	A_{14}	$A_{13} \dots A_1$	Subspatiu adrese	Iesire activa
1	1 1	0	0 0 1 1	F8000 - FBFFF H	CS_{ROM-0}
1	1 1	1	0 0 1 1	FC000 - FFFFF H	CS_{ROM-1}

Tab.2 Tabelul de decodificare al memoriei RAM:

M/IO	$A_{19} \dots A_{12}$	A_{11}	$A_{10} \dots A_1$	Subspatiu adrese	Iesire activa
1	0 0	0	0 0 1 1	00000 - 007FF H	CS_{RAM-0}
1	0 0	1	0 0 1 1	00800 - 00FFF H	CS_{RAM-1}

La memorie decodificarea poate fi:

- completa (toate liniile de adresă concure la precizarea unică a locației de memorie) - ca în exemplul prezentat;

- incompleta (o parte din liniile de adresă nu intră în mecanismul de decodificare, valorile bitilor corespunzători nu condiționează selecția circuitelor și dacă aceștia sînt în număr de N se obține o "multiplicare virtuală" de 2^N ori a locației).

Multiplicarea virtuală a unei locații de memorie în spațiul adreselor care apare în cazul decodificării incomplete face ca locația să poată fi accesată ("atinsă") la mai multe adrese diferite și are dezavantajul pierderii unei cantități din spațiul adreselor disponibile pentru alte circuite.

ARHITECTURA MICROPROCESOARELOR LUCRAREA DE LABORATOR NR. 6

Spre exemplu, dacă decodicatorul pentru memoria RAM ar avea intrările E1\ și E2\ puse la masă ("0"), iar liniile de adresă A₁₂-A₁₉ (8 biți ai adresei) nu ar avea nici un rol în selecția circuitelor RAM, atunci pentru a accesa (citi sau scrie) locația 200 H, de exemplu, s-ar putea folosi adresele:

200 H, 1200 H, 2200 H, .. , xx200 H, .. , FF200 H

care ar fi în acest caz echivalente.

Dar, așa cum am spus, în acest caz s-ar pierde zona de memorie 1000 H - FFFFF H, în care ar fi multiplicată de $2^8 = 256$ ori zona 0 - FFF h.

În plus, în acest caz nu s-ar mai putea face deosebire între memoria RAM și cea ROM la operațiile de citire și s-ar naște conflicte (scurtcircuite) electrice.

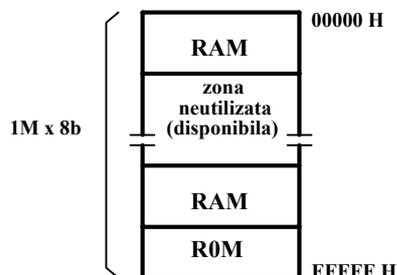
O situație posibilă pentru decodificare incompletă fără suprapunerea memoriei RAM peste memoria ROM ar fi aceea în care decodicatorul de RAM ar avea pe intrarea E1\ ieșirea unei porți OR cu două intrări pe care să fie conectate liniile de adresă A₁₂ - A₁₃, pe intrarea E2\ ieșirea unei porți OR cu două intrări pe care să fie conectate liniile de adresă A₁₄ - A₁₅, iar liniile de adresă A₁₆-A₁₉ (4 biți ai adresei) nu ar avea nici un rol în selecția circuitelor RAM.

Astfel, multiplicarea s-ar face doar de $2^4 = 16$ ori iar locația de adresă 200 H ar putea fi accesată utilizând adresele:

200 H, 10200 H, .. , x0200 H, F0200 H

3. Desfasurarea lucrarii

1. Se da urmatoarea harta de utilizare a memoriei principale a unui microprocesor Intel 8086:



a) Daca memoria ROM este realizata cu 8 circuite de dimensiune 8Kx8b, iar memoria RAM cu 4 circuite de dimensiune 16Kx8b, sa se determine dimensiunile zonelor de memorie ROM si RAM.

- b) Sa se determine adresele de inceput si de sfarsit ale zonelor de memorie de la 1.a).
- c) Sa se alcatuiasca tabelele de decodificare pentru circuitele de la 1.a).
- d) Sa se proiecteze decodificatoarele corespunzatoare tabelor de la 1.c).
- e) Sa se completeze schema electrica de principiu pentru memoria principala de la pct.

1.a).

2. Se da aceeasi harta de utilizare a memoriei principale a unui microprocesor Intel 8086 ca la pct. 1.

a) Daca memoria ROM are dimensiunea de 128Kx8b si este realizata cu 4 circuite, iar memoria RAM are dimensiunea de 32Kx8b si este realizata cu 8 circuite, sa se determine dimensiunile circuitelor de memorie ROM si RAM.

- b) Sa se determine adresele de inceput si de sfarsit ale zonelor de memorie de la 2.a).
- c) Sa se alcatuiasca tabelele de decodificare pentru circuitele de la 2.a).
- d) Sa se proiecteze decodificatoarele corespunzatoare tabelor de la 2.c).
- e) Sa se completeze schema electrica de principiu pentru memoria principala de la pct.

2.a).

3. Se da aceeasi harta de utilizare a memoriei principale a unui microprocesor Intel 8086 ca la pct. 1.

a) Daca memoria ROM are dimensiunea de 256Kx8b si este realizata cu circuite de dimensiune 32Kx8b, iar memoria RAM are dimensiunea de 128Kx8b si este realizata cu circuite de dimensiune 8Kx8b, sa se determine numarul circuitelor de memorie ROM si RAM.

- b) Sa se determine adresele de inceput si de sfarsit ale zonelor de memorie de la 3.a).
- c) Sa se alcatuiasca tabelele de decodificare pentru circuitele de la 3.a).
- d) Sa se proiecteze decodificatoarele corespunzatoare tabelor de la 3.c).
- e) Sa se completeze schema electrica de principiu pentru memoria principala de la pct.

3.a).