

Selectia porturilor de intrare iesire

Porturile IO sunt selectate printr-o schema de selectie asemanatoare selectiei memoriei. Spre deosebire de selectia memoriei, decodificarea porturilor poate fi incompleta (datorita faptului ca numarul de porturi din sistem este suficient de mare si nu se va dori extinderea acestora – de exemplu cu 8 biti de adrese se selecteaza 256 de porturi ceea ce reprezinta un numar relativ suficient de porturi IO).

Selectia porturilor poate fi facuta cu maparea porturilor in spatiul de adrese al memoriei sau cu adresare intr-un spatiu diferit de adrese (denumite adrese IO).

Avantajele maparii in memorie a porturilor constau in posibilitatea utilizarii instructiunilor de adresare a memoriei (cu moduri mai sofisticate de adresare, ceea ce ofera o flexibilitate ridicata in utilizarea porturilor).

Dezavantajul maparii in memorie consta in ocuparea ineficienta a unui bloc de memorie pentru selectia unui singur port. Acest dezavantaj poate fi ameliorat prin utilizarea unor circuite de decodificare ce selecteaza o zona "ingusta" de memorie. Acest lucru este posibil inasa daca chipul de memorie are o capacitate mica.

Exemple de porturi simple

Cu ajutorul unor circuite simple (buffer, registre) se pot implementa porturi de intrare – iesire simple. Aceste porturi nu implementeaza protocoale de comunicatie, dar pot fi utilizate in cazul transferurilor de date de viteza mica.

In figura 1 se ilustreaza modalitatea de realizare a porturilor IO simple.

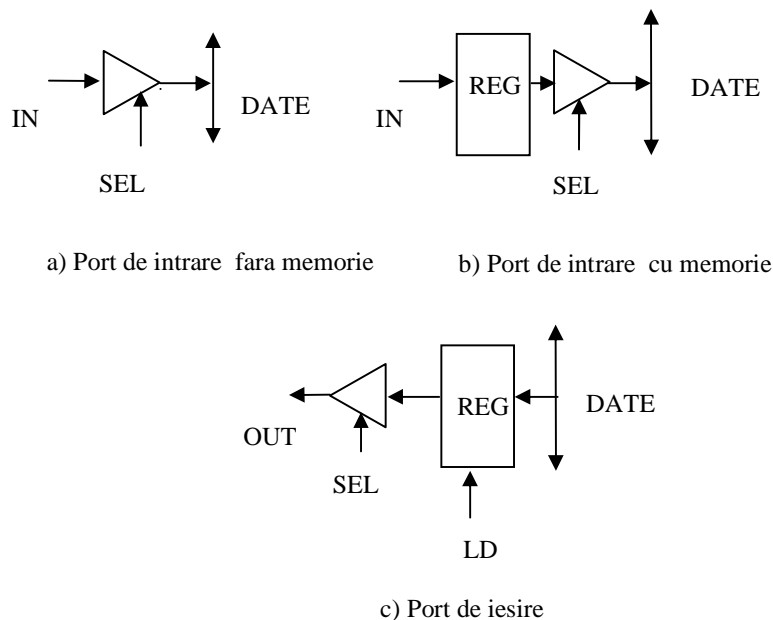


Figura 1. Porturi de intrare/iesire simplificate

Selectia porturilor poate fi facuta cu utilizarea decodificatoarelor si/sau a portilor logice.

Adresarea liniara a porturilor

Adresarea liniara a porturilor IO este o metoda simpla de selectie care foloseste cite un singur bit de adresa pentru selectia unui port.

Adresarea liniara a porturilor de intrare este prezentata in figura 2.

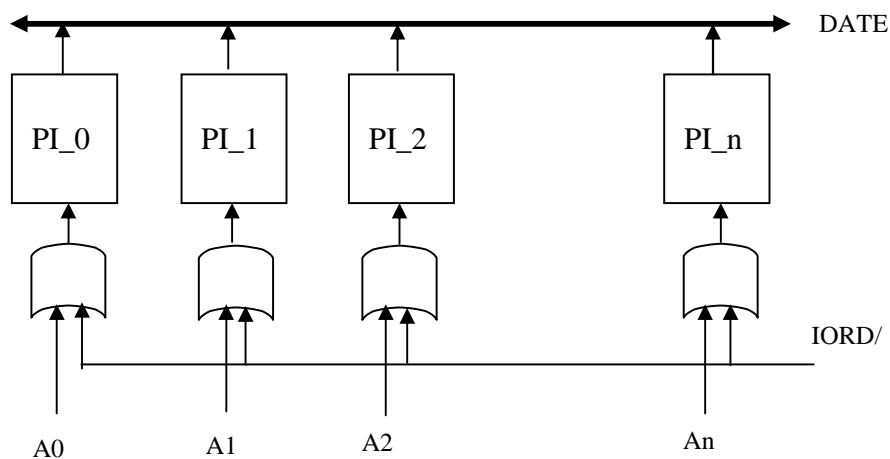


Figura 2. Selectia liniara a porturilor de intrare

Fiecare port de intrare, PI_i , este selectat de bitul de adresa $A_i=0$. Semnalul IORD/ indica un semnal general de citire a porturilor de intrare.

Pentru selectia liniara a porturilor de intrare nu este permis ca doua sau mai multe adrese sa fie in starea de zero logic; in acest caz va apare un conflict electric pe magistrala de date.

Selectia liniara a porturilor de iesire este ilustrata in figura 3.

Fiecare port de iesire, PO_i , este selectat de bitul de adresa $A_i=0$. Semnalul IOWR/ indica un semnal general de scriere a porturilor de iesire.

Pentru selectia liniara a porturilor de iesire doua sau mai multe adrese pot fi in starea de zero logic; in acest caz se pot scrie (cu aceeasi valoare) mai multe porturi de iesire simultan.

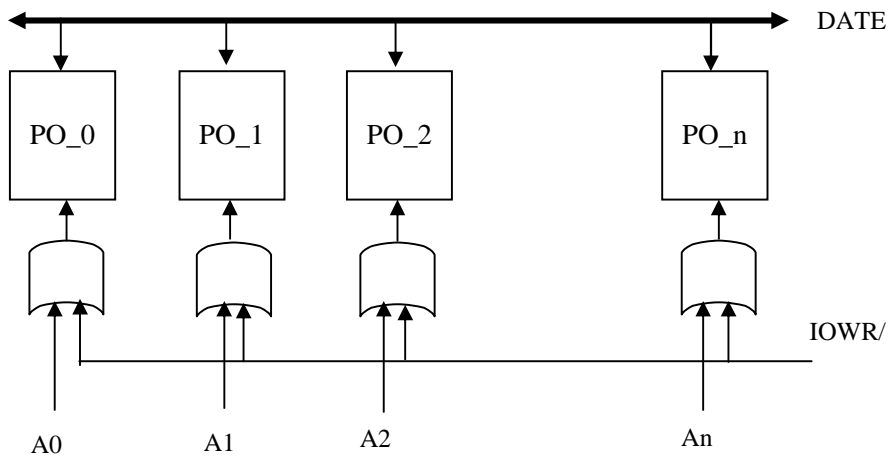


Figura 3. Selectia liniara a porturilor de iesire

Fiecare familie de microprocesoare are porturi asociate. Se vor studia porturile specifice familiei Intel 80x86 (port paralel 8255, port serial 8251, timer 8253, controler de intreruperi 8259 si controler DMA 8237).

Exemplu de schema de porturi de I/O

Pentru a studia porturile de intrari/iesire, se prezinta o interfata I/O pentru un sistem microprocesor de tipul IBM-PC (compatibil 8086).

Standardul PC prevede ca spatiul de adrese pentru porturi sa fie intre 0H si 3FFH. Din aceasta cauza in decodificare au fost folosite numai adresele A0 ÷ A9 (3FFH este reprezentabil pe 10 biti). Figura 4 prezinta schema de decodificare pentru generarea semnalelor de selectie de chip pentru un numar de 6 porturi . Jumperii JP1, JP2, JP3, JP4, JP5, JP6 permit modificarea adresei de baza.

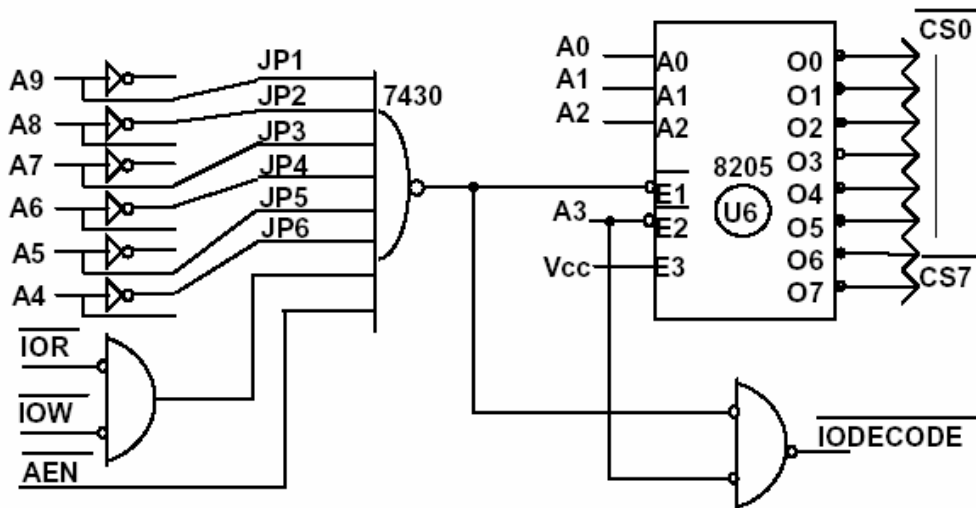


Fig.4. Schema de decodificare a porturilor de intrare-iesire

In figura 4 a fost aleasa ca adresa de baza **2A0H** (JP2, JP4, JP6 - inchise).

Tabelul de decodificare este:

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	IOR / IOW	AEN	CS	Adresa	Port
1	0	1	0	1	0	0	0	0	0	0	0	CS0	2A0	PORT_0
1	0	1	0	1	0	0	0	0	1	0	0	CS1	2A1	PORT_1
1	0	1	0	1	0	0	0	1	0	0	0	CS2	2A2	PORT_2
1	0	1	0	1	0	0	0	1	1	0	0	CS3	2A3	PORT_3
1	0	1	0	1	0	0	1	0	0	0	0	CS4	2A4	PORT_4
1	0	1	0	1	0	0	1	0	1	0	0	CS5	2A5	PORT_5

Semnalul IODECODE/ din figura.4 indica un acces de scriere/citire de la orice port din intervalul 2A0 H ÷ 2A7H. Practic nu exista nici un port care sa fie selectat pentru adresele 2A6H si 2A7H.

In decodificarea propriu-zisa sunt folosite numai adresele A0, A1, A2. Celelalte adrese sunt folosite pentru sintetizarea semnalului IODECODE, iar A3 este folosit ca validare pentru decodicatorul U6 de tip 3 la 8. Iesirile sale sunt active in starea "low" (0 logic).

Semnalele IOR/ si IOW/ sunt formate din semnalele M/IO si RD/ respectiv M/IO si WR astfel:

$$\overline{\text{IOR}} = \overline{\text{M/IO}} + \overline{\text{RD}}$$

$$\overline{\text{IOW}} = \overline{\text{M/IO}} + \overline{\text{WR}}$$

Semnalul AEN/ este format din liniile de adresa superioare (A15 pina la A10) astfel:

$$\overline{\text{AEN}} = \overline{\text{A15}} + \overline{\text{A14}} + \overline{\text{A13}} + \overline{\text{A12}} + \overline{\text{A11}} + \overline{\text{A10}}$$