

## Interfete de intrare-iesire. Porturi I/O

Structura tipica a oricarui microcalculator contine urmatoarele sectiuni de baza: Unitatea centrala de prelucrare (UCP), compusa din unitatea de comanda (UC) si unitatea aritmetica (Arithmetic and Logic Unit-ALU), memoria si sectiunea de intrare iesire (ca in figura 1).

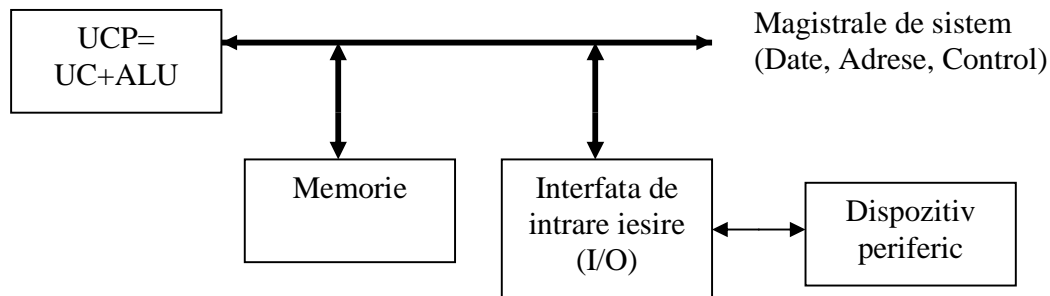


Figura 1. Schema bloc a unui microcalculator

Sectiunea de intrare asigura accesul informatiilor din lumea exterioara spre calculator (tastatura, cititor de banda, disc, echipamente de masura, semnalizari dintr-un proces etc). In memorie se gasesc atat programul (instructiunile, operatiile ce se executa de catre sistem), cit si datele (valori numerice reprezentind constante, rezultate etc). In unitatea aritmetica si logica (ALU) se efectueaza diversele operatiuni matematice cu datele din memorie, conform programului. Prin sectiunea de iesire se transmit spre exterior rezultate, comezi, marimi catre echipamente de executie, etc. Toata functionarea sistemului este coordonata de catre unitatea de control, care supervizeaza si sincronizeaza toate operatiile, transferul de informatie, decodifica instructiunile programului si determina executia acestora.

Memoria si elementele de intrare/iesire vor fi realizate cu circuite speciale, in exteriorul microprocesorului. De multe ori, producatorii de microprocesoare vor furniza asa numite familii de circuite integrate, asociate (compatibile ca functionare), cu tipurile de microprocesoare pe care le realizeaza.

Transferul de intrare iesire reprezinta schimbul de informatii dintre dispozitivele periferice (exterioare sistemului cu microprocessor) si este realizat prin intermediul unor circuite de interfata numite porturi de intrare-iesire sau porturi I/O.

Porturile I/O sunt accesate in mod similar unor locatii de memorie. Adresele acestor porturi pot fi inglobate in spatial de adrese al memoriei sau pot fi separate.

Transferul datelor intre diversele sectiuni ale sistemului se face pe magistralele de date ale sistemului. Diferentierea diferitelor surse de informatie de la care/catre care se vehiculeaza datele in sistem se face prin existenta adreselor distincte ale acestora. Astfel fiecare cuvint de date al memoriei sistemului are o adresa unica. Microprocesorul genereaza aceasta adresa daca se efectueaza transferuri de informatie de la/la cuvintul de date respectiv pe asa numita magistrala de adrese a sistemului. Similar si porturile

sistemului au adrese unice. Aparitia unei anumite adrese va conduce la selectia unica a portului dorit, care va fi activat si cu care va opera sistemul. Diferentierea intre memorie si porturi cit si indicarea sensului transferului datelor (de la microprocesor inspre memorie sau porturi - scriere; la microprocesor dinspre memorie sau porturi - citire) va fi facuta prin semnale specifice ale sectiunii de control.

Porturile de la care se face citirea datelor se numesc porturi de intrare (INPUT).

Porturile la care se face scrierea datelor se numesc porturi de iesire (OUTPUT).

## **Transferul de date. Protocoale de comunicatie**

Transferurile de date pot fi clasificate dupa urmatoarele criterii:

1. dupa gradul de implicare a microprocesorului in realizarea transferului
  - transfer comandat prin program (transfer programat)
  - transfer cu acces direct la memorie ( transfer DMA - Direct Memory Access)
2. dupa dispozitivul care solicita transferul
  - transfer solicitat de CPU
  - transfer solicitat de dispozitivul periferic
3. dupa gradul de serializare
  - transfer serial
  - transfer paralel

Performantele sistemului in ceea ce priveste transferul de date sunt influentate de modul in care se realizeaza sincronizarea dintre CPU si dispozitivul extern.

Transferul programat presupune ca procesorul initiaza, controleaza desfasurarea transferului si incheie transferul de date, ca in organigrama din figura 2.

Acest tip de transfer presupune existenta unei bucle de asteptare active in care UCP interogheaza dispozitivul periferic pentru a determina cind acesta are date gata de transfer. Portul I/O are este compus dintr-un port de stare ( care indica printre altele si faptul ca datele sunt pregatite de transfer) si un port de date care contine informatia dorita. Transferul programat cu bucla de asteptare active nu este foarte efficient deoarece "blocheaza" procesorul in bucla de interogare. Organigrama din figura 2 poate fi modificata prin utilizarea intreruperilor generate de dispozitivul periferic atunci cind datele sunt pregatite de transfer. Bucla de asteptare active se transforma intr-o bucla de asteptare pasiva ce poate fi inlocuita cu alte prelucrari utile.

Citirea efectiva a datelor si stocarea acestora se vor face in rutina de servire a intreruperilor generate de dispozitivul periferic (portul I/O).

Avantajul utilizarii intreruperilor este acela ca UCP poate fi utilizata pentru prelucrari utile; este necesar ca UCP sa aiba in componenta un bloc de raspuns la intreruperi ( creste complexitatea hardware).

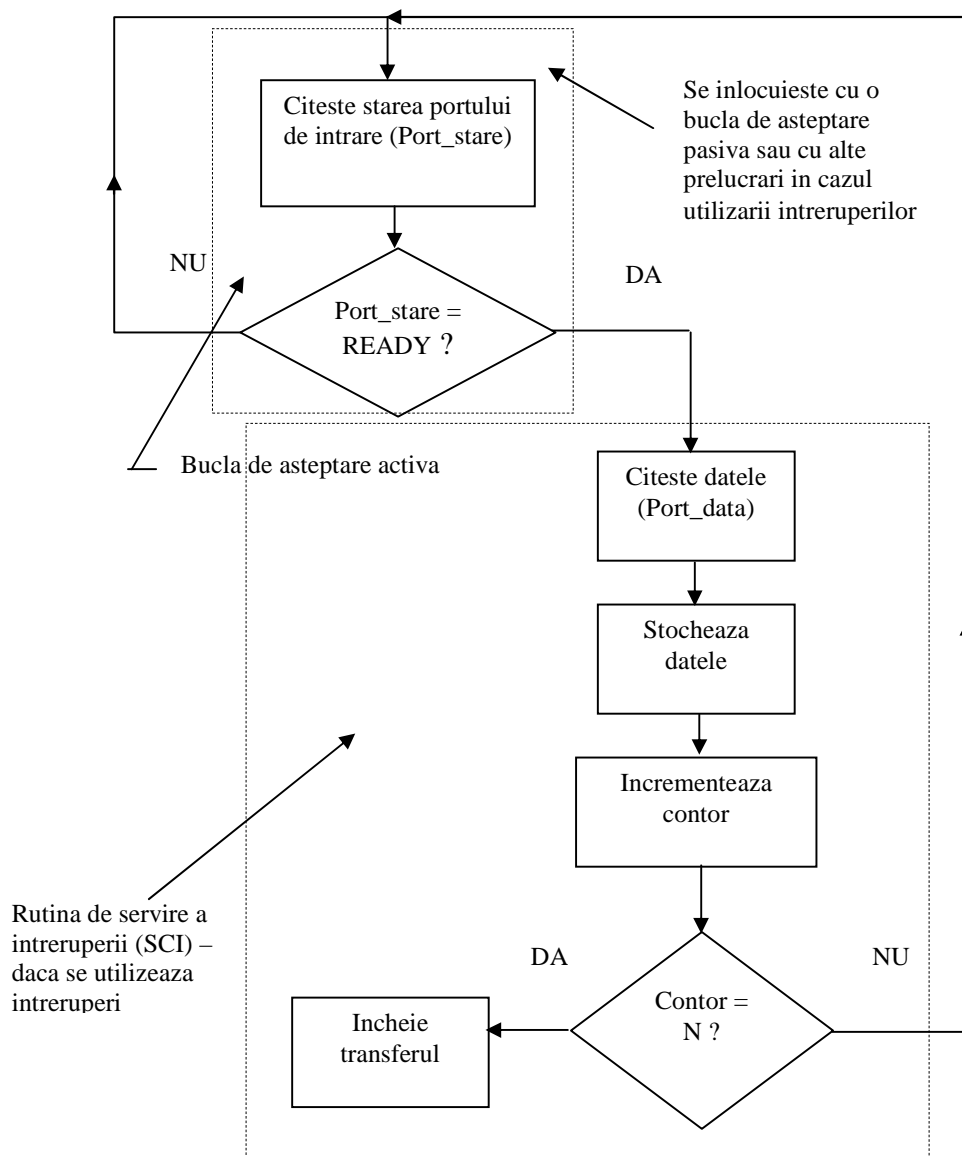


Figura 2. Transferul programat (port de intrare)

In cazul transferului de tip DMA, procesorul initiaza transferul – prin programarea unui circuit specializat numit controler DMA (DMAC) – dupa care desfasurarea transferului si incheierea acestuia se vor face sub controlul DMAC. Transferul DMA este guvernata de principiul cererii si acceptarii magistralelor (Bus Request-Bus Grant) ilustrat in figura 3.

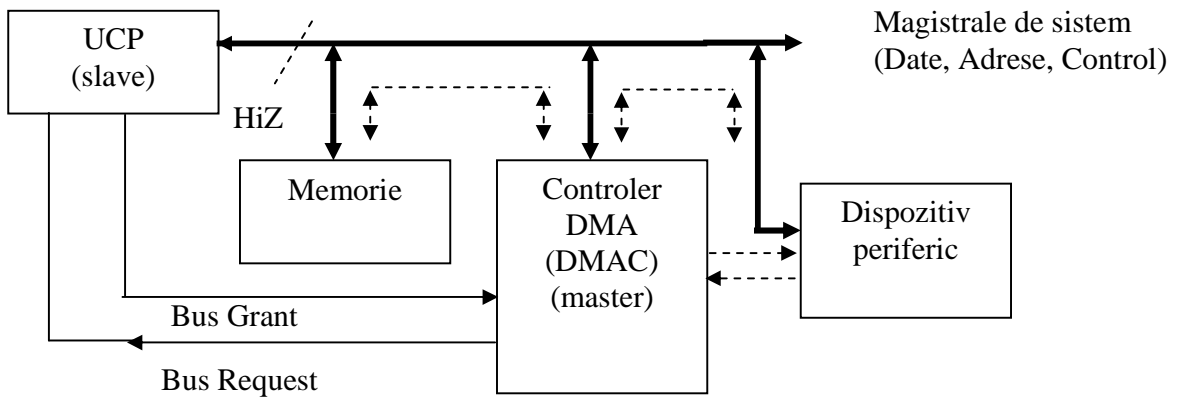


Figura 3. Principiul cererii si acceptarii magistralelor

Dupa programarea circuitului DMAC, acesta asteapta o cerere de transfer de la dispozitivul periferic (REQ); cind aceasta este generata, DMAC confirma acceptarea cererii (catre dispozitivul periferic) prin semnalul ACK si genereaza o cerere de magistrala (Bus Request – BR) catre UCP; se asteapta confirmarea cedarii magistralelor de catre processor (prin semnalul Bus Grant – BG), dupa care procesorul isi trece magistralele in starea de inalta impedanta (HiZ) si devine slave in system. Controlerul DMA este master in sistem si controleaza magistralele, efectuind transferuri de date cu memoria sau dispozitivele periferice, fara interventia UCP (care poate sa efectueze numai operatii ce nu necesita magistralele sistemului). Aceasta situatie este mentinuta pina cind semnalul de cerere de magistrala este inhibat, dupa care UCP redevine master iar DMAC slave. Figura 4 ilustreaza etapele desfasurarii transferului DMA.

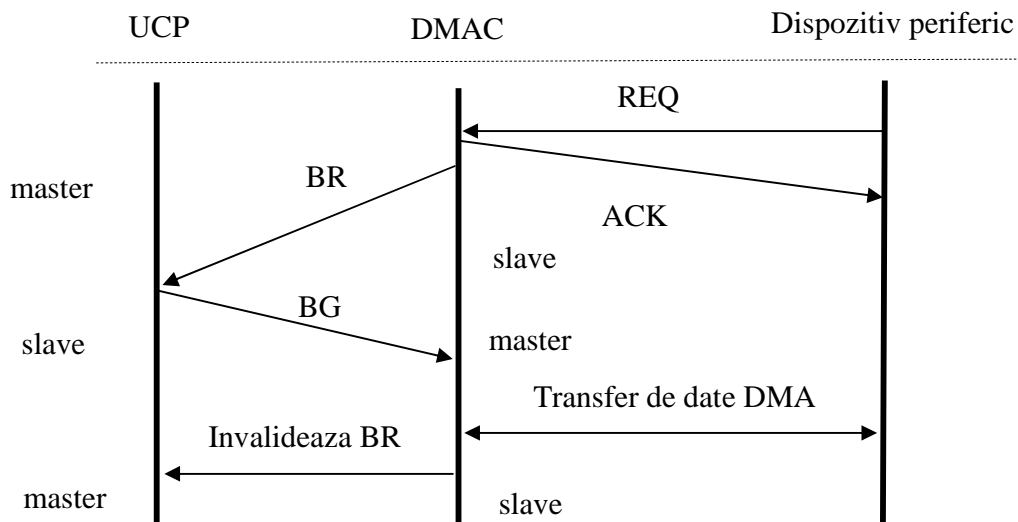


Figura 4. Diagrama de operare a transferului DMA

## Transferul serial

Pentru a putea realiza transferuri pe distante mai mari se utilizeaza interfete speciale care transforma informatia paralela - cuvintul de date - intr-o succesiune de impulsuri, transmise pe un singur fir de legatura ca in figura 5.

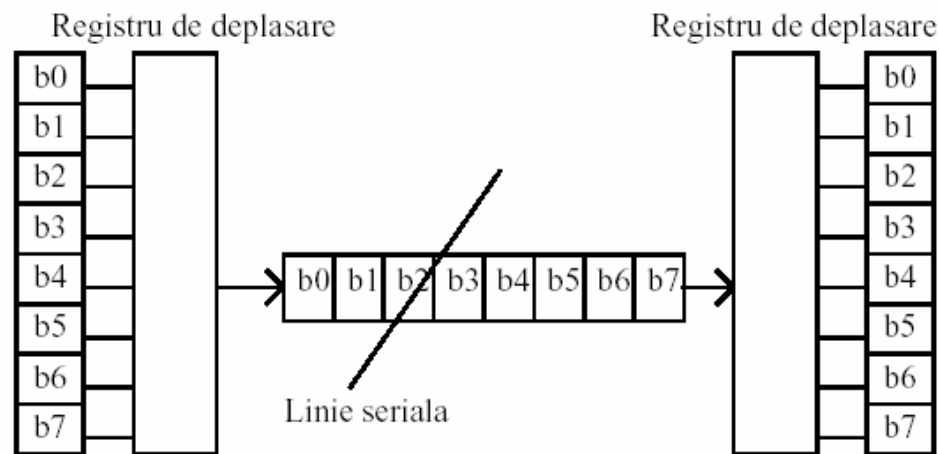


Figura 5. Transferul serial

Transmisia in acest mod se face cu viteza mai mica decit transmisia simultana a tuturor bitilor (transmisie paralela) ,dar probleme de zgomot si pretul echipamentelor sunt mai reduse.

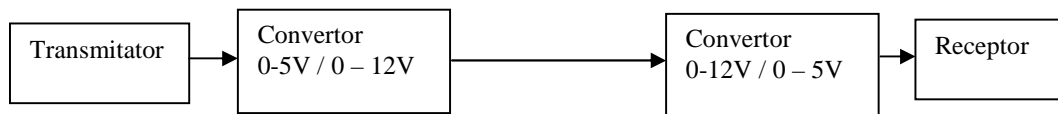
Transmisia seriala se va face prin emiterea unor impulsuri de tensiune, cu doua nivele, corespunzatoare valorilor logice "0" sau "1" ale bitilor ce se transmit. Durata acestor pulsuri este fixa, fiind fixata de semnalul de "ceas", care va impune viteza de serializare a datelor. Este evident ca pentru o functionare corecta va fi necesar ca ambele circuite, atit cel emitor (transmitator) cit si receptorul, sa functioneze cu aceeasi frecventa a ceasului. De aceea aceste viteze de transmisie/receptie seriala sint standardizate. Ele se masoara in numarul de biti ce se transmit/receptioneaza pe secunda, unitate numita baud. Viteze standard tipice sint: 110,300,600, 1200, 2400, 4800, 9600 pina la 115000 de biti pe secunda. Exista doua moduri principale de transmisie a datelor: modul asincron (cel mai utilizat) si modul sincron.

Pentru a ameliora deformarea pulsurilor in linia seriala (datorate atenuarilor si capacitatii parazite a liniei) se pot utilizeze urmatoarele metode:

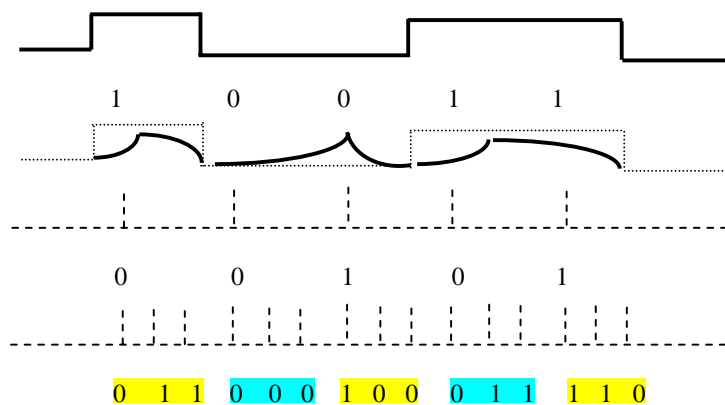
- introducerea unor circuite de conversie a pulsurilor din gama 0÷5 V in gama 0÷12V sau (-12) ÷ (+12 )V
- esantionarea multipla a bitului ( pina la de 64 de ori durata de bit) si determinarea prin logica majoritara a valorii acestuia

In figura 6 sunt ilustrate cele doua metode.

Pentru distante foarte mari se pot utiliza in locul convertoarelor de nivel circuite de tip modem (modulator – demodulator) care transforma (moduleaza) sirul de pulsuri in semnal analogic (mai putin modificat de canalul de comunicatie) care va fi demodulat la receptie si refacut in forma binara.



a) Utilizarea convertoarelor de linie



b) esantionarea multipla si decizia majoritara

Figura 6. Imbunatatirea transmisiei seriale

Formatul transmisiei seriale asincrone este prezentat in figura 7:

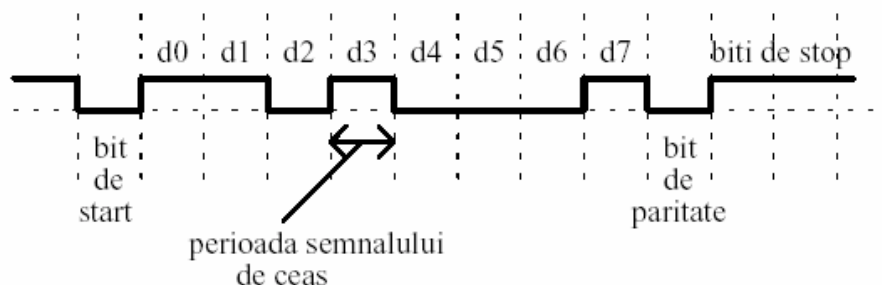


Figura 7. Formatul transmisiei seriale asincrone

Transmisia este declansata in mod asincron; semnalizarea inceperii acesteia se realizeaza prin bitul de START (cu valoarea logica "0" ). Acesta va declansa la receptor, operatia de receptie si deserializare a urmatoarelor biti, ce reprezinta informatia propriu-zisa ce se transmite (b0 pina la b7 in figura 7). Transmisia se va incheia cu un numar precizat (cel putin 1) de biti de stop (valoarea logica "1"). Abia apoi se va putea emite eventual un alt cuvint de date, in aceeasi succesiune a operatiilor.

## Transferul paralel

Transferul paralel al datelor se realizeaza prin transmiterea simultana a datelor prin intermediul unui cablu format din N conductori, fiecare conductor purtind un bit, ca in figura 8.

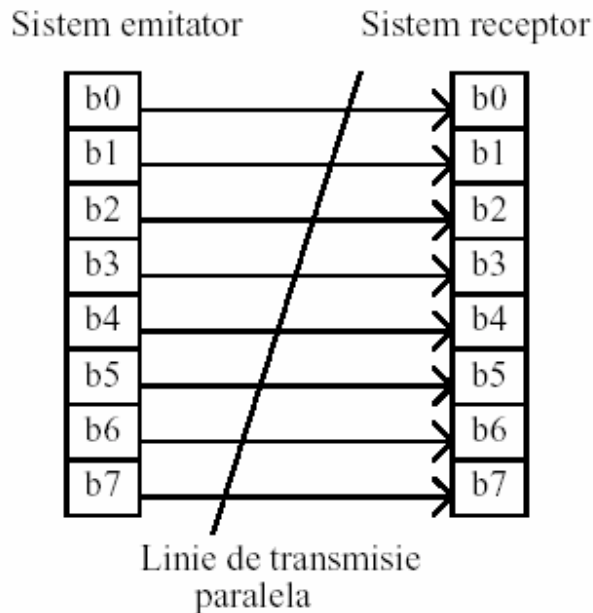


Figura 8. Transferul paralel

Transmiterea datelor in mod paralel intre doua calculatoare sau intre un calculator si o consola nu se poate face pe distante mai mari de citiva metri in paralel datorita problemelor deosebite legate de ecranarea acestor cabluri si a pretului de cost ridicat. Nu se pot - sau nu este convenabil - realiza magistrale de date care sa permita transferul simultan al tuturor bitilor cuvintelor de date intre doua asemenea echipamente.

Transferurile de date in mod paralel pot fi clasificate astfel:

- transferuri fara protocol electric ( se transmit numai datele, fara alte semnale de comanda)
- transferuri cu protocol electric ( pe langa date se transmit si semnale de comanda a transferului)
- transferurile cu protocol electric pot fi cu sau fara confirmare
- transfer paralel asincron sau sincron (dupa modul de sincronizare intre transmitator si receptor)

Pentru transferul fara protocol, UCP are sarcina interogarii porturilor de intrare (pentru a determina momentele in care datele sunt pregatite); pentru iesire, dispozitivul periferic are drept sarcina urmarirea modificarii datelor. Dezavantajele transferului de date fara protocol sunt: nu exista sincronizare, nu se confirma faptul ca datele au ajuns la destinatie si incarcarea suplimentara a UCP pentru realizarea transferului programat.

In cazul transferurilor cu protocol electric fara confirmare transmitia poate fi initiata fie de transmitator fie de receptor. Daca transmitia este initiata de transmitator, acesta va emite catre receptor un semnal (RDY) care indica faptul ca datele sunt pregatite de transfer.

Receptorul asteapta semnalul RDY dupa care preia datele de pe magistrala de date. Acest protocol este ilustrat in figura 9.

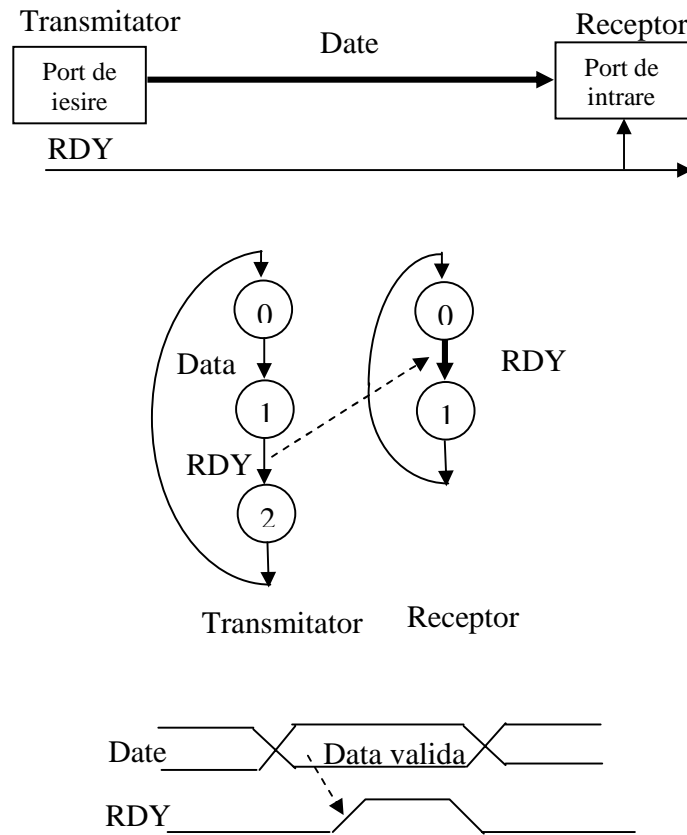


Figura 9. Transfer paralel cu protocol asincron fara confirmare (transfer initiat de transmitator)

Transferul de date poate fi initiat si de receptor; acesta va emite un semnal de cerere de date (REQ) catre transmitator. Dupa primirea semnalului REQ, transmitatorul va transmite datele pe magistrala de date de unde acestea vor fi preluate de catre receptor. Protocolul este ilustrat in figura 10.

Pentru ambele tipuri de protocoale fara confirmare nu se rezolva decat determinarea momentelor de timp la care se vor transmite datele pe magistrala de date. Transmitatorul si receptorul trebuie sa functioneze la aceeasi viteza pentru a se evita pierderea de date sau receptionarea acelorasi date de mai multe ori. Nu exista o confirmare a faptului ca datele au fost receptionate si nu este posibil ca transmitatorul si receptorul sa opereze cu viteze diferite.

Aceste dezavantaje sunt eliminate prin utilizarea protocolului cu confirmare ilustrat in figura 11.



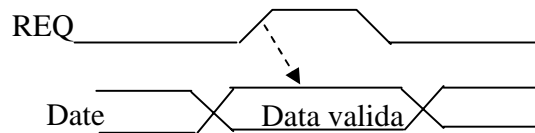
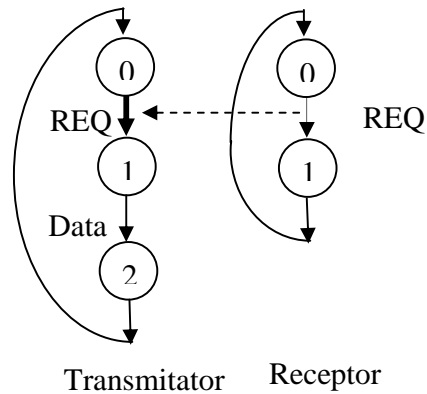
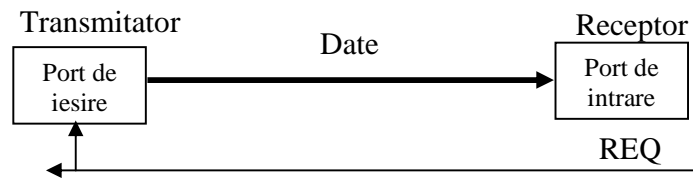
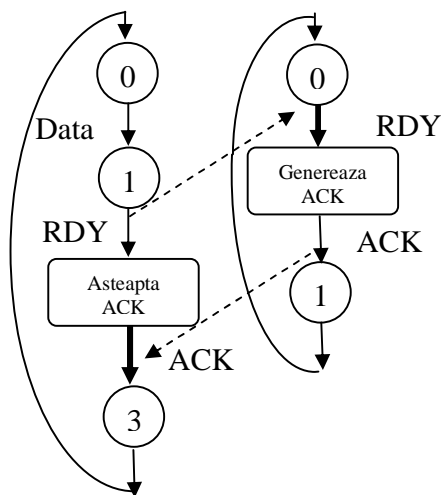
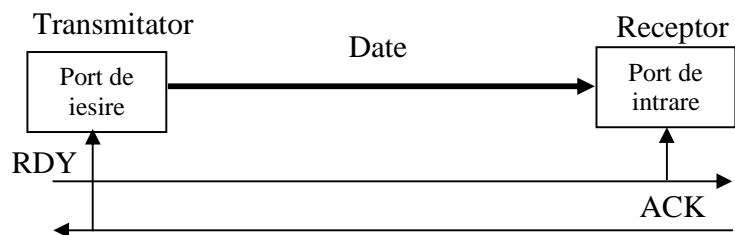


Figura 10. Transfer paralel cu protocol asincron fara confirmare (transfer initiat de receptor)

In cazul protocolului cu confirmare, de exemplu cu initierea transferului de catre transmisor, acesta emite un semnal (RDY) care indica receptorului ca datele sunt pregatite de transfer, plaseaza datele pe magistrala de date, dar nu se initiaza un nou transfer pina cind transmisorul nu receptioneaza un semnal de confirmare (ACK) emis de receptor si care indica faptul ca datele au fost preluate. Protocolul cu confirmare se mai numeste protocol cu *hand-shaking*.



Transmitator      Receptor

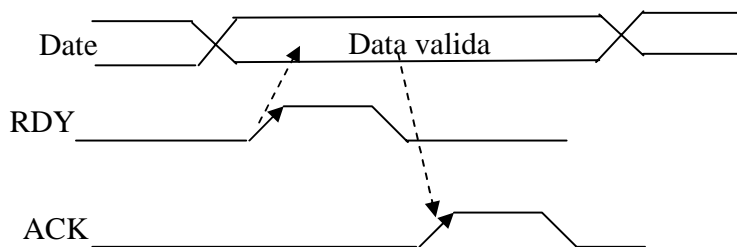


Figura 11. Transfer paralel cu protocol asincron cu confirmare (hand-shaking)