

Microarhitectura PENTIUM

Arhitectura Pentium a fost introdusă de firma Intel pentru procesoarele IA-32. Acest tip de arhitectură se regăsește în procesoarele Pentium III (arhitectura P6) și în procesoarele Pentium IV (arhitectura P4).

Arhitectura Pentium este o arhitectură superscalară și pipe-line.

Se utilizează tehnici de prelucrare paralelă astfel încât, în medie, procesoarele Pentium sînt capabile să execute complet 3 instrucțiuni într-o perioadă de tact.

Arhitectura Pentium utilizează o structură pipe-line cu 12 stagii.

Principalele caracteristici ale arhitecturii P6 sînt următoarele:

1. Structura pipe-line a arhitecturii este divizată în 4 secțiuni : memoria cache (primul și al doilea nivel), încărcare/decodificare (*fetch/decode*), unitatea de execuție (inclusiv execuția instrucțiunilor “*out of order*” – adică a instrucțiunilor care nu urmează ordinea de la încărcare ci se execută înainte de instrucțiuni încăcate anterior, dar care așteaptă eliberarea anumitor resurse pentru a fi încheiate) și secțiunea de așteptare (*retirement*) pentru instrucțiunile completate care așteaptă reasamblarea lor în fluxul normal de instrucțiuni..
2. Există două nivele de memorie cache. Primul nivel (8ko de instrucțiuni și 8 ko de date) este imediat lîngă structura pipe-line. Al doilea nivel (de dimensiune 256ko pînă la 1Mo) este conectat direct cu procesorul printr-un bus de 64 de biți.
3. Partea centrală a arhitecturii P6 este dată de mecanismul performant de execuție a instrucțiunilor (inclusiv a instrucțiunilor “*out of order*”) numit și *execuție dinamică*. Execuția dinamică încorporează trei concepte de procesare a datelor:
 - predicția salturilor
 - analiza dinamică a fluxurilor de date și instrucțiuni
 - execuția speculativă

Predicția salturilor reprezintă o tehnică modernă pentru obținerea unei performanțe ridicate în structurile pipe-line. Această tehnică permite procesorului să decodifice instrucțiuni în afara buclelor de program pentru a ține ocupată tot timpul structura pipe-line. Arhitectura P6 implementează un algoritm optimizat de predicție a direcției salturilor.

Analiza dinamică a fluxului de date și instrucțiuni se realizează în timp real; se determină dependența dintre date și registre și se detectează oportunitățile pentru execuția instrucțiunilor “*out of order*”.

Unitatea de execuție poate monitoriza simultan mai multe instrucțiuni și va executa instrucțiunile în ordinea în care se optimizează utilizarea multiplă a unităților de execuție ale procesorului, evident cu menținerea integrității datelor și a corectitudinii programului. În acest mod se mențin unitățile de execuție ocupate cît mai mult timp chiar atunci cînd apar dependențe între instrucțiuni și situații de cache *miss* (negasire a informației dorite în memoria cache).

Execuția speculativă se referă la abilitatea procesorului de a executa instrucțiuni în afara unei bucle condiționale care nu a fost încă rezolvată și în final de a produce rezultatele în ordinea execuției originale a fluxului de instrucțiuni.

Pentru a face execuția speculativă posibilă, arhitectura P6 decuplează fazele de transmitere și execuție în raport cu faza de producere a rezultatelor finale.

Unitatea de execuție va analiza fluxul de date și instrucțiuni și va executa toate instrucțiunile pregătite pentru aceasta (cu toate resursele și datele disponibile).

Rezultatele vor fi stocate în registre temporare urmînd ca ulterior să fie asamblate în mod corespunzător ordinii originale de execuție a fluxului de instrucțiuni.

Unitatea de așteptare (*retirement*) va conține toate instrucțiunile care datorită unor dependențe a datelor (operanzilor) sau a faptului că unitățile de calcul necesare nu sînt disponibile (sînt ocupate de alte instrucțiuni) nu pot fi executate sau completate.

Prin combinarea predicției salturilor, analizei dinamice a fluxului de date și instrucțiuni și a execuției speculative, arhitectura P6 înlătură constrîngerea unei secvențări lineare a instrucțiunilor între fazele tradiționale de încărcare (*fetch*) și execuție. Procesorul poate continua să decodifice și să execute instrucțiuni chiar dacă există mai multe nivele de salturi în program. Implementarea predicției salturilor și a decodificatoarelor de instrucțiuni performante mențin structura pipe-line plină. Pe de altă parte execuția speculativă permite utilizarea, în paralel, a tuturor unităților de calcul ale

procesorului. În final rezultatele temporare vor fi asamblate în așa fel încît să se mențină integritatea datelor și coerența programului.

Arhitectura P6 de bază este prezentată în figura 2.1.

În figura 2.2 este prezentată arhitectura P6 cu adaugarea nivelului 2 al memoriei cache.

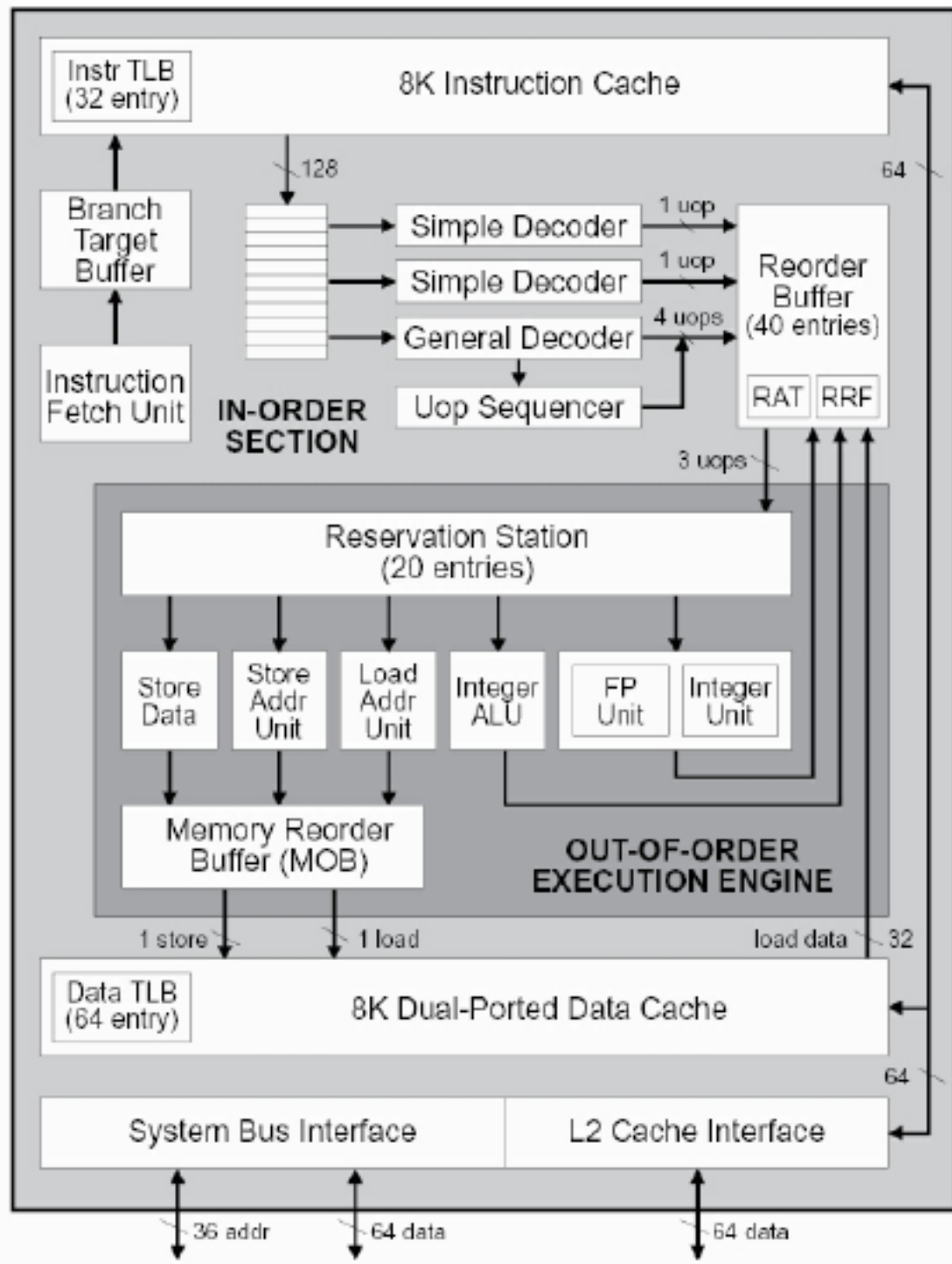
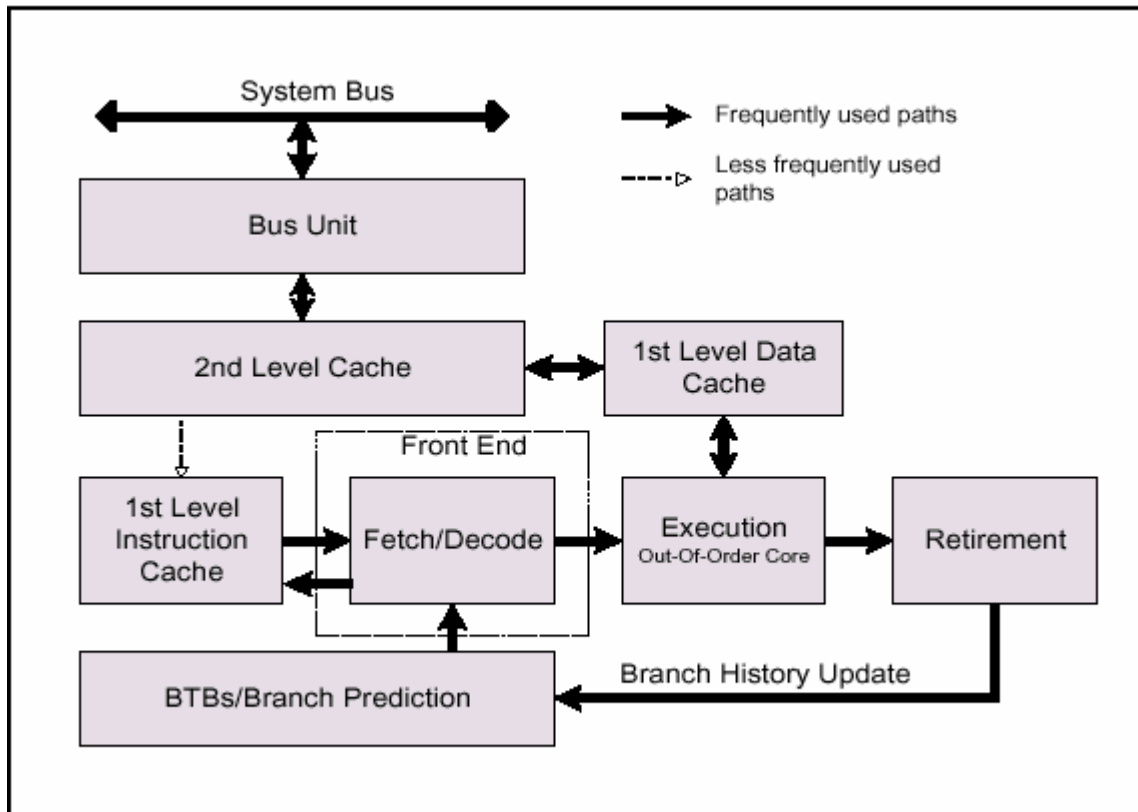


Figura 2.1 Microarhitectura P6



The P6 Processor Micro-Architecture with Advanced Transfer Cache Enhancement

Figura 2.2 Microarhitectura P6 cu 2 nivele de memorie cache