

Arhitectura P4 (NetBurst Micro-architecture) reprezintă îmbunătățire a arhitecturii P6 (IA-32).

Elementele principale ale arhitecturii P4 sînt :

- unitatea de execuție în ordine (“in order front end”)
- unitatea de execuție în afara ordinii (“out of order execution core”)
- unitățile de calcul pentru întregi și virgulă mobilă
- subsistemul de memorie

Arhitectura de bază P4 este ilustrată în figura 1:

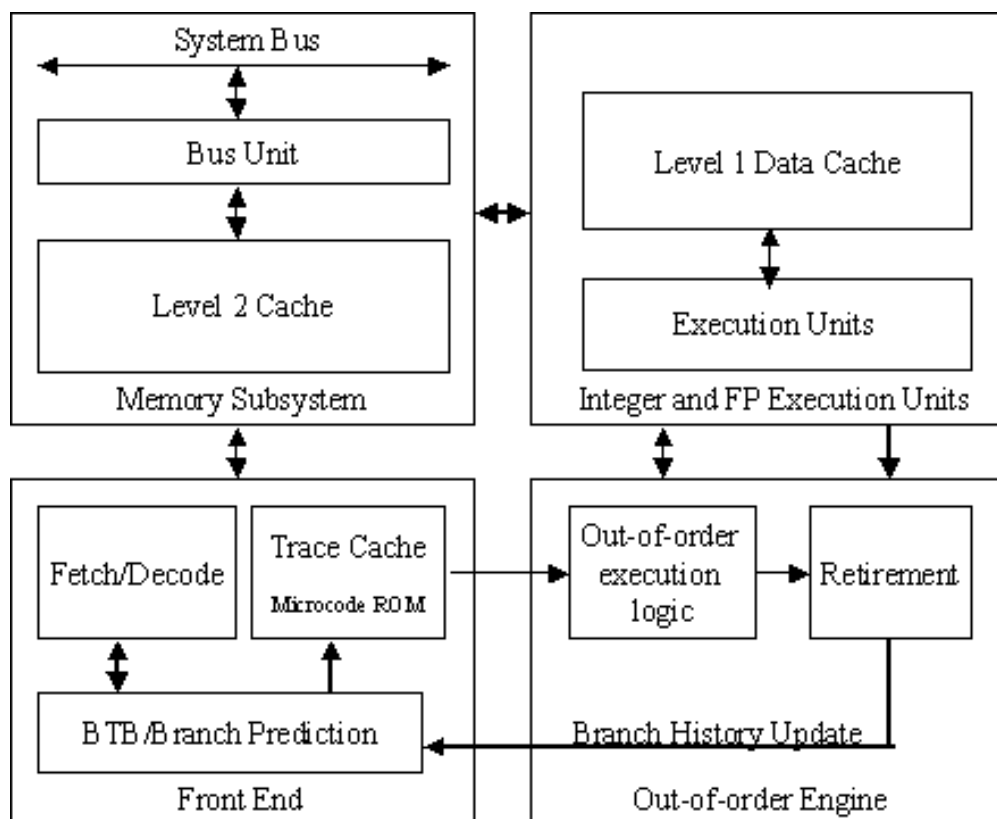


Figura 1 Arhitectura P4 (NetBurst Micro-architecture)

Unitatea de execuție în ordine conține următoarele blocuri funcționale:

- ITLB (Instruction Translate Lookahead Buffer) – memorie cache nivel 2 (level 2 - L2) pentru instrucțiuni
- Blocul pentru predicția salturilor (predicția statică și dinamică a salturilor; se utilizează un algoritm îmbunătățit de predicție a salturilor în raport cu algoritmul de predicție utilizat în arhitectura P6)
- Decodorul de instrucțiuni

- Memorie cache nivelul 1 (level 1 - L1). Această memeorie stochează instrucțiunile cele mai recente. Posedă un predictor de salturi propriu.
- Memorie de microinstrucțiuni (micro-operații) – necesară pentru instrucțiuni complexe cu mai mult de 4 micro-operații

Unitatea de execuție în afara ordinii are ca principale funcțiuni alocarea resurselor, reassignarea registrelor și planificarea execuției. Se utilizează buffere de dimensiuni mai mari ca la arhitectura P6.

Există un bloc de alocare în buffer-ul de reordonare (ROB) care urmărește starea fiecărei micro-operații în decursul desfășurării ei. Blocul de alocare alocă registrele necesare și o intrare în coada de așteptare a planificatorului execuției micro-operațiilor.

Se realizează o redenumire (reassignare) a registrelor logice ale arhitecturii IA-32. Această redenumire realizează o corespondență (mapare) între registrele logice și registrele fizice ale procesorului. Se utilizează o tabelă de mapare (RAT – Register Alias Table). Alocarea se realizează diferit față de arhitectura P6. Figura 2 ilustrează modul de alocare a registrelor pentru arhitectura P4 (Pentium III) și arhitectura P4 (Pentium 4).

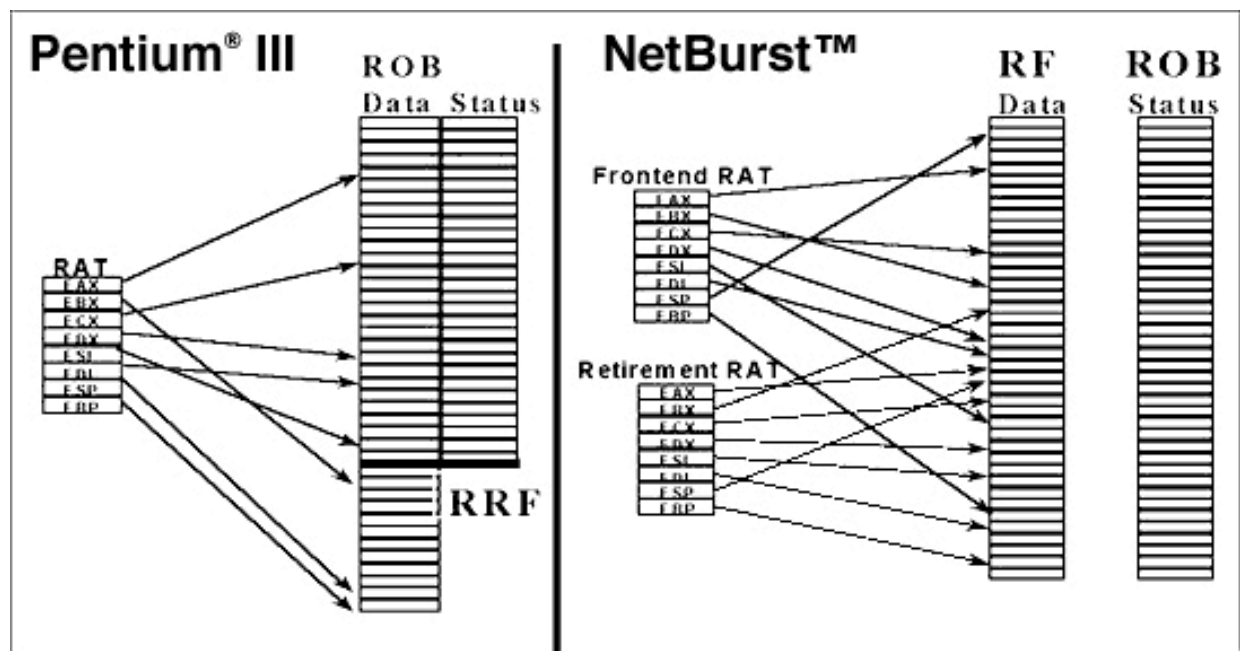


Figura 2. Alocarea registrelor în arhitectura Pentium

În arhitectura P6, rezultatele parțiale și intrările în ROB sînt stocate ca singură entitate ce conține atît date cît și informație de stare. După decizia de completare a micro-operației rezultatul final este stocat în RRF (Retirement Register File).

În arhitectura P4, intrările în ROB și rezultatele sînt stocate separat. În bufferul ROB sînt stocate doar informațiile de stare, iar în RF (Register File) sînt stocate datele. Există 2 tabele de alocare RAT : pentru instrucțiunile în curs de execuție și pentru instrucțiunile în așteptare.

Unitatea de execuție are ca element central o unitate de planificare a execuției. Aceasta permite reordonarea instrucțiunilor astfel încît execuția instrucțiunilor să se desfășoare cît mai curînd posibil după ce operanzii de intrare și resursele necesare prelucrării sînt disponibile.

Unitatea de planificare are în componență cozi de micro-operații și planificatoare de micro-operații. Există cozi pentru operații cu memoria și cozi pentru operații care nu utilizează memoria. Toate cozile sînt cozi FIFO.

Planificatoarele de micro-operații se referă la operații cu memoria, operații ALU rapide, operații ALU lente și operații generale de virgulă mobilă. Există 4 porturi de distribuție (*dispatch ports*) ca în figura 3.

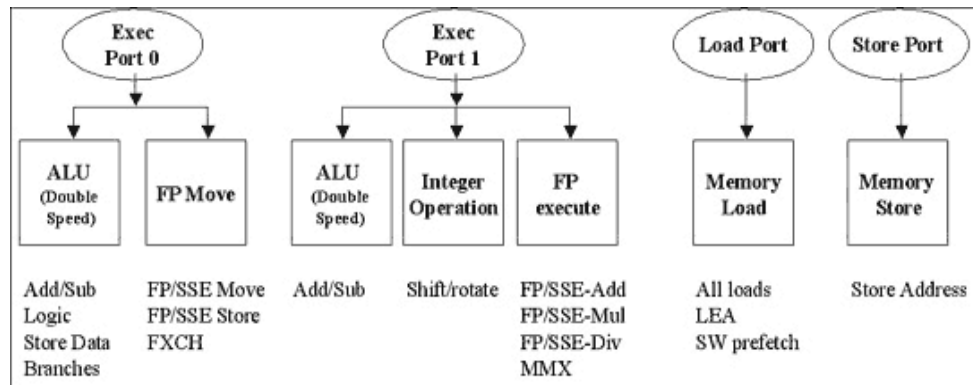


Figura 3. Porturi de distribuție în arhitectura P4

Unitățile de calcul utilizează tehnica pipe line (usual cu 3 stagii de prelucrare). Se lucrează pe 32 de biți pentru întregis și pe 64-128 de biți pentru numerele în virgulă mobilă.

Operațiile cu memoria utilizează tehnici pentru mărirea vitezei de prelucrare:

- execuția speculativă a încărcării din memorie
- rearanjarea operațiilor de încărcare și stocare
- utilizarea buffere-lor pentru scriere
- tehnica “*forwarding*” (scurtcircuitării) pentru încărcările de date dependente

La încheierea execuției instrucțiunii se vor re-executa instrucțiunile executate în mod incorect datorită tehnicilor de execuție speculativă sau instrucțiunile dependente.

Arhitectura P\$ are 2 nivele de memorie cache; metoda de mapare este asociativă pe seturi (4 sau 8 seturi) iar politica de reamplasare este pseudo-LRU (Least Recently Used).

Structura pipe line a arhitecturii P4 are 20 de stagii de prelucrare după cum urmează:

Stagiul pipe line	Descriere
1 – 2	- determină valoare pointer-ului de instrucțiuni - predicție salturi
3 - 4	- încărcarea instrucțiunii din memoria cache
5	- transmiterea micro-operațiilor la alocator
6	- alocarea resurselor pentru fiecare micro-operație
7-8	- reassignarea registrelor
9	- plasarea în cozile de așteptare
10-12	- planificarea micro - operațiilor

13-14	- distribuția micro- operațiilor către unitățile de calcul
15-16	- citirea registrelor de date (a operanzilor de intrare)
17	- execuția micro-operațiilor
18	- actualizarea flagurilor de stare a micro-operațiilor (instrucțiunilor)
19	- verificarea corectitudinii execuției salturilor
20	- stocarea rezultatului

Performanțele arhitecturii P4 sînt comparate cu performanțele arhitecturii P6 în figura 4.

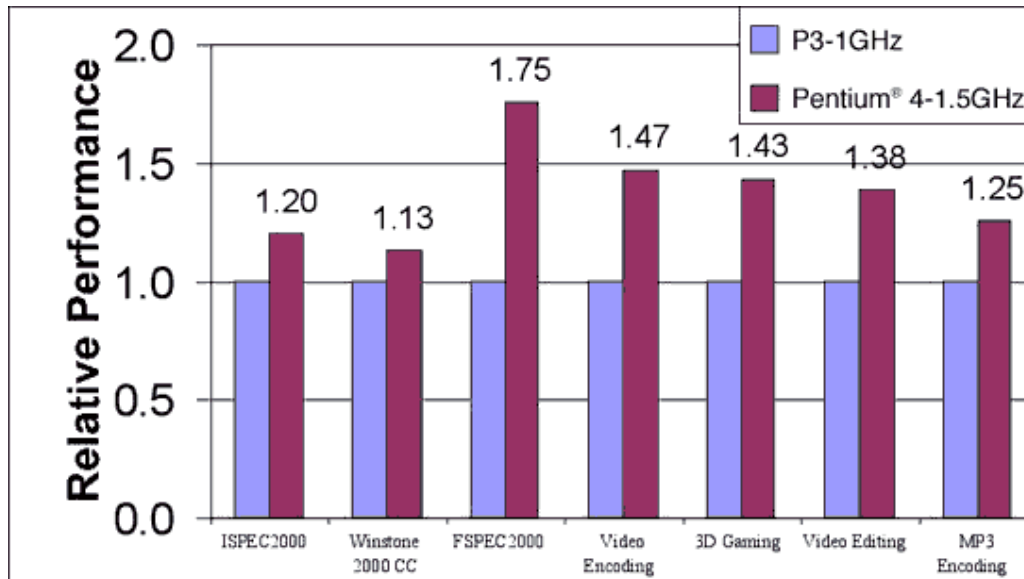


Figura 4. Performanțele arhitecturii P4 comparativ cu performanțele arhitecturii P6