

Arhitectura P6 utilizează tehnica pipe line cu 14 stagii de prelucrare după cum urmează:

Stagiul pipe line	Descriere
1	<ul style="list-style-type: none"> - determină valoare pointer-ului de instrucțiuni - predicția dinamică a salturilor (se utilizeaza un algoritm adaptive cu 2 niveluri : primul nivel pe 4 biti al doilea nivel cu contor cu saturare pe 2 biti – figura 1)
2-4	<ul style="list-style-type: none"> - încărcarea instrucțiunii din memoria cache (maxim 2 instrucțiuni de 32 biti fiecare) - determinarea limitelor fiecărei instrucțiuni - transferul instrucțiunilor către decodorul de instrucțiuni (în cuvinte de 16 biți)
5-6	<ul style="list-style-type: none"> - decodificarea instrucțiunilor într-o serie de micro-operații - pregătire pentru execuția “<i>out-of order</i>” - trei decodificatoare operează în paralel : <ul style="list-style-type: none"> - 2 decodificatoare simple (pentru majoritatea operațiilor pe întregi) - 1 decodificator complex (pentru instrucțiuni complexe) - rezultatul final este o secvență de micro-operații - fiecare micro-operație conține 3 operanzi: 2 operanzi sursă și 1 operand destinație - micro-operațiile au lungime mai mare decât în cazul arhitecturii RISC deoarece trebuie să acopere și cazul operațiilor de virgulă mobilă - majoritatea instrucțiunilor sînt translatate în 1 pînă la 4 micro-operații - dacă sînt necesare mai mult de 4 micro-operații atunci instrucțiunea este transferată la secvențorul de microinstrucțiuni (<i>Microcode Instruction Sequencer</i>) - se efectuează predicția salturilor statice
7-8	<ul style="list-style-type: none"> - reassignarea registrelor logice cu registre fizice cu ajutorul unei tabele de asociere - procesorul are doar 8 registre de întregi și 8 registre de virgulă mobilă ca register de uz general, vizibile de către programator - redenumirea registrelor adaugă 40 de registre de uz general - micro-operațiile sînt transferate în buffer-ul de reordodare (Reorder Buffer) - buffer-ul de reordonare (ROB) este o memorie adresabilă prin conținut organizată după o politică FIFO - micro-operațiile sînt stocate în ROB în diferite stadii de execuție (în așteptarea rezolvării dependenței între instrucțiuni sau a eliberării resurselor necesare) - micro-operațiile sînt transferate unității de rezervare (“<i>reservation station</i>”)
9-10	<ul style="list-style-type: none"> - unitatea de rezervare are 20 de intrări - unitatea de rezervare distribuie micro-operațiile către 1 pînă la 5 unități de execuție: <ul style="list-style-type: none"> - două unități aritmetice pentru întregi - două unități de adresare a datelor (pentru instrucțiuni <i>load / store</i>) - o unitate aritmetică de virgulă mobilă - unitatea de rezervare poate distribui micro-operațiile într-o perioadă de ceas pîna la 3 perioade de ceas (dacă unitățile de calcul sînt ocupate) - distribuția micro-instrucțiunilor către unitățile de calcul este determinată de biții de stare din ROB - dacă mai mult de o singură micro-operație este gata pentru transfer în unitatea de rezervare, se vor allege acele micro-operații care sînt generate în secvență
11	<ul style="list-style-type: none"> - se execută micro-operațiile

-
- 12-14
- se semnalizează (printr-un flag) completarea micro-operațiilor
 - cînd unitatea de așteptare (“retirement unit”) găsește o micro-operație completată atunci unitatea de așteptare stochează rezultatele în RRF (Retirement Register File); RRF reprezintă un set de 8 registre de întregi și 8 registre de virgulă mobilă
 - unitatea de așteptare rearanjează micro-operațiile în ordinea originală și monitorizează apariția întreruperilor, excepțiilor, punctelor de întrerupere și a salturilor prezise în mod eronat
-

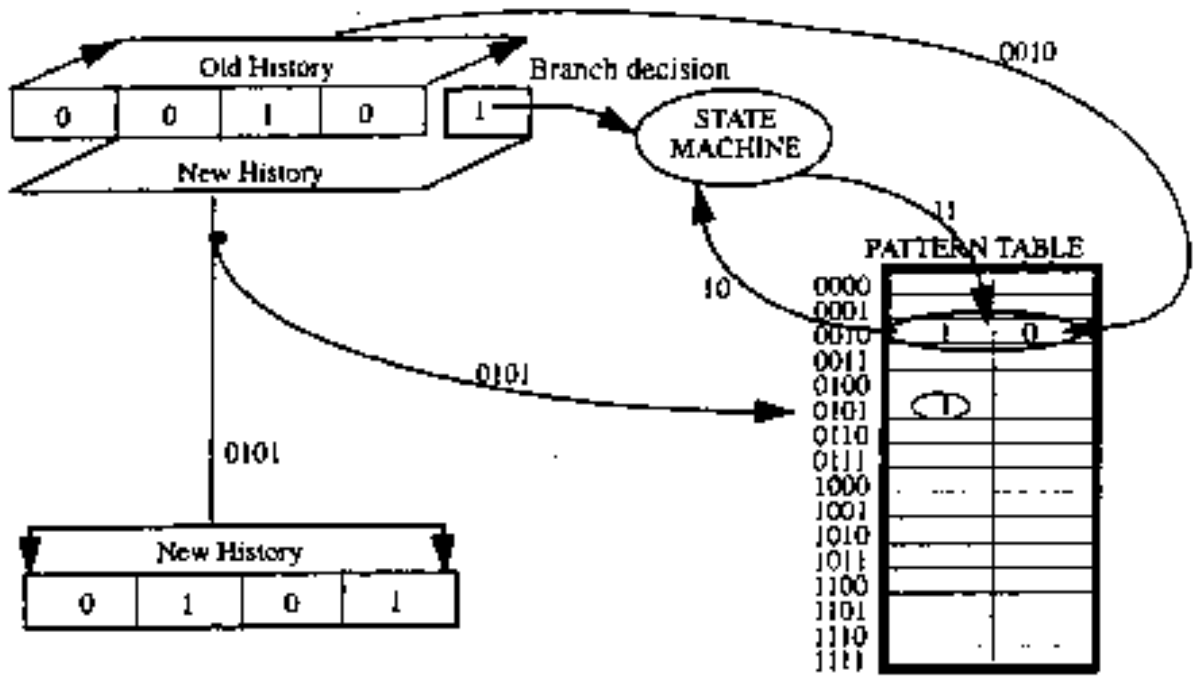


Figura 1 Predicția salturilor cu algoritm adaptive cu 2 niveluri